テクニカル・リファレンス

(ハードウェア)

PC オープン・アーキテクチャー推進協議会

はじめに

パーソナル・コンピューターの普及が目覚ましく、その市場は依然として高成長が期待されます。一方、パーソナル・コンピューターのソフトウェアの共通利用に関しては、必ずしもユーザーの要求に十分応えていないというのが現状です。その根本的な理由は、ハードウェアの仕様がメーカー間で異なっているためですが、それに加えてパーソナル・コンピューターの場合、その開発経験や利用のノウハウの点で、あまりにも多岐にわたるからでもあります。

このような状況に鑑み、ソフトウェア利用の共通基盤の確立を主要な目的の一つとして『PCオープン・アーキテクチャー推進協議会（通称OADG）』が設立されました。これにより、異なるハードウェア上で稼働する多様なアプリケーションの提供が可能となり、この結果パーソナル・コンピューターの活用度が向上することになります。

OADGでは平成３年に「OADGテクニカル・リファレンス」として、関係の資料をハードウェア・テクニカル・リファレンスとソフトウェア・プログラミング・ガイドを内容とするものを発行いたしました。今回第２回の改訂版として、OADGハードウェアおよびOADG DOS/V ソフトウェア関係の資料を、次の内容でより充実したものに改めました。

OADGテクニカル・リファレンス（ハードウェア）

「OADGハードウェア・インターフェース技術解説編」

OADGテクニカル・リファレンス（DOS/V）

「DOS/V 技術解説編」
「DOS/V BIOSインターフェース技術解説編」
「DOS/Vマウス・ドライバー技術解説編」
「DOS/Vプログラミング解説編」
「DOS/Vオプション機能 技術解説編」

OADG DOS/Vとは、このOADGテクニカル・リファレンスに基づいて作られたDOSで、OADG会員会社が採用および提供したものです。

OADGが目指すよりオープンな世界の確立のために、このテクニカル・リファレンスがお役に立てば幸いです。

平成12年 9月

PCオープン・アーキテクチャー
推進協議会（OADG）

OADGテクニカル・リファレンス改訂作業参加者

亀井伸夫、坂本哲也、篠宮 誠、渋谷尚亮、南部俊史、美根宏昭、若月文彦
（氏名五十音順）

用語の統一

OADGテクニカル・リファレンスでは次の用語に統一しています。

- OADG DOS/V（OADGテクニカル・リファレンスに基づいて作られたDOSで、OADG会員会社が採用および提供したもの）
- DOS/V（OADG DOS/Vの略称、すべてのバージョンを含む）
- DOS/V 5.0（バージョン 5.0 を強調するときに）
- DOS/V 6（バージョン 6 を強調するときに）

参考資料

OADGではプリンターの仕様をESC/P-J84と定めています。

EPSON ESC/P リファレンス・マニュアル 第２版、（セイコーエプソン（株））

次のような参考資料もご利用ください。

- *IBM Personal System/2 and Personal Computer BIOS Interface Technical Reference,* (IBM S68X-2341)
- *Technical Reference Personal Computer AT,* (IBM S229-9611, S229-9608)
- *Personal System/2 Hardware Interface Technical Reference – AT Bus System,* (IBM S85F-1646)

一般図書

- DOS/Vソフトウェアおよびハードウェア開発のサポートご案内、(OADG)
- OADG CATALOG (OADG)
- THE IBM PC & PS/2 プログラマーズガイド、（ピーター・ノートンとリチャード・ウィルトン著、翔泳社）
- PC & PS/2 ビデオ・システム プログラマーズガイド、（リチャード・ウィルトン著、翔泳社）
- THE IBM PC & PS/2 プログラマーズガイド、（ピーター・ノートンとリチャード・ウィルトン著、翔泳社）
- プログラマーのためのPCソースブック、（トム・ホーガン著、翔泳社）
- DOS/Vプログラミング・ガイド、（アスキー出版局）
- MS-DOS 5 ブック、（アスキー出版局）
- DOS/V magazine, (ソフトバンク　出版事業部、月刊）

この他にお気付きの一般図書がありましたら、OADG事務局までお知らせください。

テクニカル・リファレンス
（ハードウェア）

PCオープン・アーキテクチャー推進協議会

特記事項

「OADGハードウェア・インターフェース技術解説編」は、International Business Machines Corporation（以下IBMという）の著作物です。これは*PC Open Architecture Hardware Interface Technical Reference*の日本語版に当たります。
この解説書の著作権はIBMが所有しています。

付録２のAXキーボードの図、図中のAXロゴマークおよび走査コードの表は、AX協議会の転載許諾の承認の上、AX協議会発行「AXテクニカル・リファレンス・ガイド-1989-」の3.3章中の内容を記載しており、この部分の著作権はAX協議会が所有しています。

付録３の東芝J-3100キーボードの図、および走査コードの表は、株式会社東芝の使用許諾の承認の上、記載しておりこの部分の著作権は、株式会社東芝が所有しています。

これらの内容の無断転載・複製など著作権に抵触する使用はできません。

本書で使用されている星印(*)が付いている次の用語は、米国IBM社の商標です。

IBM
Personal Computer AT (略称: PC/AT)
Personal Computer XT (略称: PC/XT)
Personal System/2 (略称: PS/2)

注:　本文中のIBM PCは、PC/ATとPC/XTの総称です。

また、２つの星印(**)が付いている次の用語は、以下に示す各社の商標です。

Intel（インテル）	Inter Corporation
Motorola（モトローラ）	Motorola, Incorporated

付録２の中のAXのロゴマークはAX協議会の商標です。

まえがき

パーソナル・コンピューターの普及が目覚ましく、その市場は依然として高成長が期待されます。一方、パーソナル・コンピューターのソフトウェアの共通利用に関しては、必ずしもユーザーの要求に十分応えていないというのが現状です。その根本的な理由は、ハードウェアの仕様がメーカー間で異なっているためですが、それに加えてパーソナル・コンピューターの場合、その開発経験や利用のノウハウの点で、あまりにも多岐にわたるからでもあります。

このような状況に鑑み、ソフトウェア利用の共通基盤の確立を主要な目的の一つとして『PCオープン・アーキテクチャー推進協議会（通称OADG)』が設立されました。これにより、異なるハードウェア上で稼働する多様なアプリケーションの提供が可能となり、この結果パーソナル・コンピューターの活用度が向上することになります。

OADGが目指すハードウェア・インターフェースの基本になるのは、国際的に広く使用されているIBM PC/AT*およびディスプレイ制御モジュールのVGAです。これは、IBM PC/AT*とその互換機上で日本語環境を実現するDOS/Vが動作するための共通の仕様です。

OADGハードウェア・テクニカル・リファレンスは以下のような構成になっています。

1. 「OADGハードウェア・インターフェース技術解説編」
   (OADG仕様のハードウェア・インターフェースおよびIBM 5576-A01, IBM US Englishキーボードの図および走査コード)
2. AXキーボードの図および走査コード（付録B）
3. 東芝J-3100キーボードの図および走査コード（付録C)

PCオープン・アーキテクチャーに関する参考文献には、下記のものがあります。

ハードウェア関連

- *Technical Reference Personal Computer AT,* (S229-9611, S229-9608)
  (PCオープン・アーキテクチャーの基本となるIBM PC/AT*の仕様について記述してあります。)
- *Personal System/2 Hardware Interface Technical Reference - AT Bus system,* (S85F-1646)
  (PS/2のATバス仕様のモデルの技術解説書です。)

プログラミング関連

- 「DOS/Vプログラミンング概説編」
  (DOS/Vのプログラミングに関する解説書です。)

本書は以下の章に分かれています。

第1章, 『システムのあらまし』では、システムボード、メモリーマップの構成例、システムI/Oアドレスマップ、割り込み、入出力チャネル及びコネクターについて説明します。

第2章, 『システム・ボード』では、DMAコントローラー、システム・タイマー、スピーカー及びオプションの数値演算プロセッサーについて説明します。

第3章, 『システム・ボードI/Oコントローラー』では、システム・ボードのI/Oインターフェースについて記述しています。ここではキーボード／補助装置コントローラー、ビデオ・サブシステム、ディスケット・ドライブ・コントローラー、シリアル・ポート・コントローラー、パラレル・ポート・コントローラー、メモリー、各種システムポート及びオプションのフォントROMのコントローラー・レジスターについて説明しています。

第4章, 『キーボード』では、キーボードの仕様について説明します。

第5章, 『文字とキー・ストローク』は、英文モードのASCII文字の10進数値と16進数値を示します。

付録Aでは、IBM 5576-A01 (106キー)及び IBM US English (101キー)キーボードの配列及び走査コードを示しています。

関連資料

- Technical Reference Personal Computer AT

OADGハードウェア・インターフェース
技術解説編

特記事項

本書で、IBM製品、プログラム、又はサービスの言及している部分があっても、これらの該当製品、プログラム、またはサービスのみが使用可能であることを意味するものではありません。これらにかえて、IBMの知的所有権を侵害することのない機能的に同等の製品、プログラム、またはサービスを使用することができます。

但し、IBMに明示的に指定されたものを除き、これらの製品、プログラム、またはサービスの評価及び検証は使用者の責任で行って頂きます。

また、これらの内容の中で、IBMがその特許権（特許出願を含む）を所有していることがあります。本文では、これらの特許権についても、本文中で明示されているものを除き、実施権、使用権を許諾することを意味するものではありません。実施権、使用権の紹介は、下記の宛先に書面にて行って下さい。

東京都港区虎ノ門4丁目3-9
IBM神谷町ビルディング
IBMワールド　トレード　アジア　コーポレーション
コマーシャル　リレーションズ

本書で使用されているアステリスク(*)付きの次の用語は、米国IBM社の商標です。

IBM
Personal Computer AT（略称：PC/AT)
Personal Computer XT（略称: PC/XT)
Personal System/2 （略称：PS/2)

注: 本文中のIBM PCは、PC/ATとPC/XTの総称です。

また、２つのアステリスク(**)付きの次の用語は、以下に示す各社の商標です。

Intel（インテル）	Intel Corporation
Motorola（モトローラ）	Motorola, Incorporated

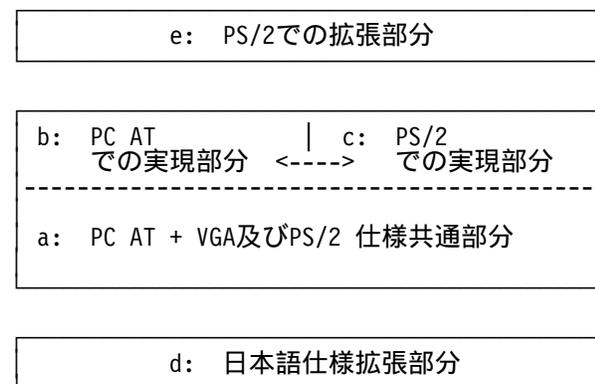
まえがき

PCオープン・アーキテクチャーが目指すハードウェア・インターフェースの基本になるのは、国際的に広く使用されているIBM PC/AT*およびディスプレイ制御モジュールのVGAです。これは、IBM PC/AT*とその互換機上で日本語環境を実現するDOS/Vが動作するための共通の仕様です。

PCオープン・アーキテクチャーが規定する共通の仕様は、以下のように大別されます。

```
e:  PS/2での拡張部分

b:  PC AT          |  c:  PS/2
    での実現部分  <---->  での実現部分
-------------------------------------------
a:  PC AT + VGA及びPS/2 仕様共通部分

d:  日本語仕様拡張部分
```

上図でa:, b:, c:は適用されるべき共通インターフェースです。このうちb:, c:はハードウェアの互換性という観点から、どちらかの方法で実現するべき部分です。d:は日本語仕様のための共通部分です。ここでは特にキーボードを示しています。
e:はオプションですが、ここで書かれた機能を提供する場合には、このインターフェースに従う事を推奨するものです。例えば、マウスなどがこれらの機能です。

本文中のPS/2*はATバス仕様のモデルを示しています。

DOS J5.0/Vインターフェース関連

- 「DOS/V 5.0技術解説偏」
  (プログラム開発のための解説書です。)
- 「DOS/V BIOSインターフェース技術解説偏」
  (DOS/VのBIOSインターフェースに関する解説書です。)
- 「DOS/Vマウス・ドライバー技術解説偏」
  (マウス・ドライバーのインターフェースに関する解説書です。)

DOS J4.0/Vインターフェース関連

- 「パーソナル・システム/55 DOS J4.0/V技術解説書」
  (プログラム開発のための解説書です。)
- 「パーソナル・システム/55 DOS J4.0/V BIOSインターフェース技術解説書」
  (IBM DOS J4.0/VのBIOSインターフェースに関する解説書です。)
- 「DOS/V J4.0ユーザーズ・ガイド」
  (DOSの使用法および、マウス・ドライバーのインターフェースに関する解説書です。)

目次

図

システムのあらまし

第1章　システムのあらまし

1.1 概要

PCオープン・アーキテクチャーは、IBM PC/AT*のハードウェア仕様に基づき、日本語の環境を実現するための共通のハードウェア仕様を提供しようとしています。

この章では、この仕様を実現する代表的なハードウェア構成とブロック・ダイアグラムを示し、また基本となる共通仕様であるI/Oアドレス・マップ、割り込みおよびI/Oコネクターの仕様について記述しています。

1.1.1 システム・ボードの特徴

以下はシステムボード上の典型的なハードウェア構成です。

- システム・マイクロプロセッサー
- マイクロプロセッサー・サポート
  - 7チャネルDMA(ダイレクト・メモリー・アクセス)コントローラー
  - 15レベルの割り込み方式
  - システム・クロック
  - 3個のプログラム可能タイマー
- ROMサブシステム
- RAMサブシステム
- 16ビット・データ・バス
- 24ビット・アドレス・バス
- リアルタイム・クロックCMOS RAM
  - クロック
  - カレンダー
  - CMOS RAM
- ビデオ・グラフィックス・アレー・サブシステム(VGA)
- シリアル・ポート(EIA RS-232C)
- パラレル・ポート
- スピーカー
- キーボード/補助装置コントローラーとコネクター
- ディスケット・ドライブ・コントローラーとコネクター
- 拡張用I/Oバス・コネクター

1.1.2 システム・ボードのブロック図

図1-1は、システム・ボードの実現例のブロック図です。

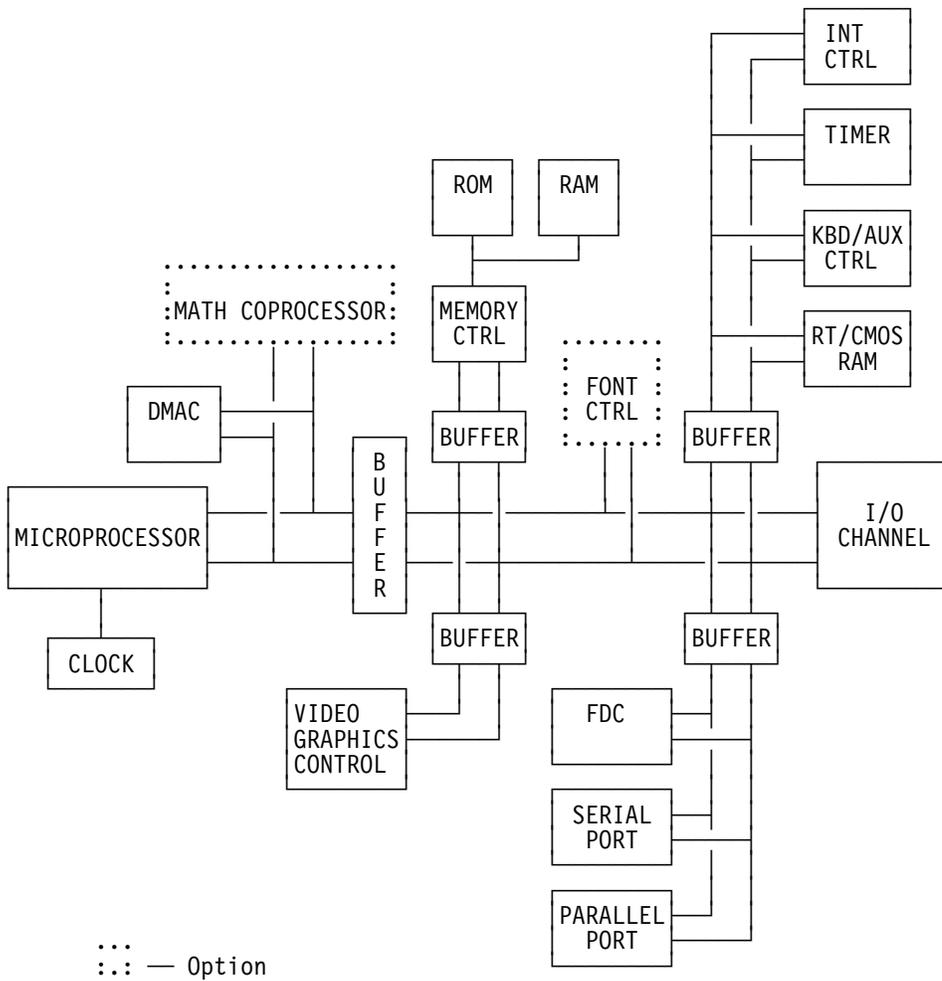
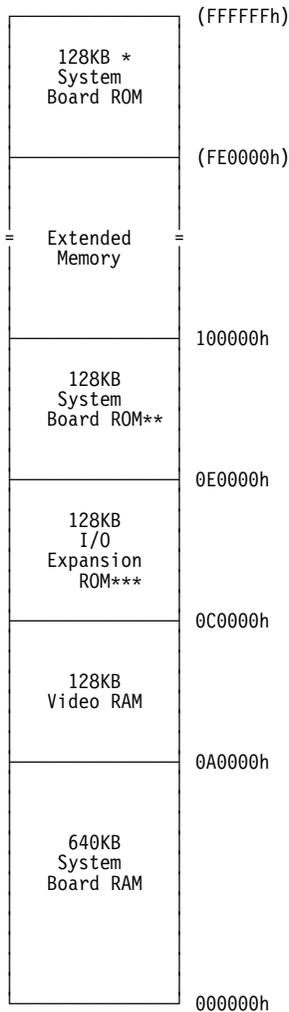



図　1-1. システム・ボードのブロック図

1.1.3 システム・メモリー・マップ

図1-2は、16MBのシステム・メモリー・マップの一例です。

* アドレス0E0000h - 0FFFFFhの内容と同じです。

** IBM PC/ATでは、最初の64KB (0E0000h - 0EFFFFh)はシステム・ボードに予約されており、次の64KB (0F0000h - 0FFFFFh)はシステムROMに割りあてられています。

*** アドレス0C0000h - 0C8000hはビデオ・サブシステムがアダプターでサポートされている場合、ビデオアダプターROMで使用されることがあります。

図 1-2. メモリー・マップ

1.2 システムI/Oアドレス・マップ

図1-3に、システム・ボードの各I/O機能の16進数アドレスを示します。

Hex Addresses	I/O Function
000 - 01F	DMA Controller, Channels 0-3
020, 021	Interrupt Controller 1
040 - 043	System Timers
060	Keyboard, Auxiliary Device
061	System Control Port B
064	Keyboard, Auxiliary Device
070, 071	RT/CMOS and NMI Mask*
081, 082, 083, 087	DMA Page Registers (0 - 3)
089, 08A, 08B, 08F	DMA Page Registers (4 - 7)
092	System Control Port A**
0A0, 0A1	Interrupt Controller 2
0C0 - 0DF	DMA Controller, Channels 4-7
0F0 - 0FF	Math Coprocessor
278 - 27A	Parallel 3
2F8 - 2FF	Serial 2
378 - 37A	Parallel 2
3B4, 3B5, 3BA	Video Subsystem
3BC - 3BE	Parallel 1
3C0 - 3C5	Video Subsystem
3C6 - 3C9	Video DAC
3CA, 3CC, 3CE, 3CF	Video Subsystem
3D4, 3D5, 3DA	Video Subsystem
3F0 - 3F7	Diskette Drive Controller
3F8 - 3FF	Serial 1
1160 - 1163	Font ROM Control***
1164 - 1167	Reserved***

図　1-3. システムI/Oアドレス・マップ

注: I/Oアドレス000h～0FFhは、システム・ボード用に予約されています。
PS/2では、16ビットのアドレスデコードを行います。

* RT/CMOS RAMの内容はPC/AT*とPS/2*では異っています。

** このポートはPS/2*と互換を保つ時のみ必要です。

*** FONT ROMはオプションです。IBM 5510ZなどでサポートしているFONT ROMと同様のインターフェースを実現する場合のみ使用します。

1.3 割り込み

システムは15レベルのシステム割り込みを提供します。割り込みは、2つのインテル8259Aコントローラーと同等の論理回路を使用します。マスク不能割り込みも含めて、任意のまたはすべての割り込みをマスクすることができます。

1.3.1 マスク不能割り込み

マスク不能割り込み(NMI)は、パリティー・エラーまたはチャネル・チェックが起こったことをシステム・マイクロプロセッサーに知らせます。NMIは他のすべての割り込みをマスクし、IRET命令は割り込みフラグを割り込みの前の状態に復元します。システム・リセットはNMIをリセットします。

システム・ボード・パリティーやチャネル・チェックから出たNMI要求は、I/Oアドレス0070hのNMIマスク・ビットからのマスク制御を受けます。(3-151ページの『RT/CMOS RAM I/O操作』を参照してください。)電源投入時のNMIマスクの省略時の値は1 (NMIディセーブル）です。電源投入リセットのあとで、NMIをイネーブルする（ビット7を0にしてアドレス0070hに書き込む）前に、パリティー・チェックとチャネル・チェック状態がPOST (Power On Self Test)によって初期化されます。

警告: アドレス0070hに書き込んでNMIをイネーブルまたはディセーブルした場合は、その直後にアドレス0071hへの読み出しアクセスを行ってください。そうしないと、リアルタイムのクロックおよびCMOS RAMについて、予期せぬ結果をまねくことがあります。

1.3.2 割り込みレベルの割り当て

図1-4に、割り込みレベルとその機能を示します。割り込みレベルは優先順位の順にリストしてあります。最高優先順位はNMIで、最低優先順位はIRQ7です。

Level		Function
NMI		Parity
		Channel Check
IRQ0		Timer
IRQ1		Keyboard
IRQ2		Cascade Interrupt Control to IRQ8 - IRQ15
	IRQ8	Real-Time Clock
	IRQ9	Redirect Cascade
	IRQ10	Reserved
	IRQ11	Reserved
	IRQ12	Auxiliary Device (Mouse)
	IRQ13	Math Coprocessor Exception
	IRQ14	Hard Disk
	IRQ15	Reserved
IRQ3		Serial Alternate (Serial 2)
IRQ4		Serial Primary (Serial 1)
IRQ5		Parallel Port
IRQ6		Diskette
IRQ7		Parallel Port

図　1-4. 優先順位による割り込みレベル割り当て

注: IRQ8～15はIRQ2からカスケードされています。

ハードウェア割り込みIRQ9は、カスケード・レベルIRQ2の置き換え割り込みレベルとして定義されています。IRQ2 (割り込み0Ah）にはプログラム割り込み共用を指定しておく必要があります。IBM PCで使用するIRQ2との適合性を保つために、次の処理が行われます。

1. 装置が、チャネルのIRQ2で割り込み要求をドライブしてアクティブにします。
2. この割り込み要求はハードウェアでマッピングされ、スレーブ割り込みコントローラーのIRQ9入力に送られます。
3. 割り込みが発生すると、システム・マイクロプロセッサーはROM BIOSのIRQ9（割り込み71h)割り込みハンドラーに制御を渡します。
4. このROM BIOSの割り込みハンドラーは、スレーブ割り込みコントローラーに対して割り込み終了(EOI)を実行し、IRQ2（割り込み0Ah)割り込みハンドラーに制御を渡します。

5. IRQ2割り込みハンドラーによって、装置が、まず割り込み要求をリセットしたあとで、IRQ2要求に対するサービスを完了したマスター割り込みコントローラーに対してEOIを実行します。

注: 割り込みコントローラーをプログラミングする前に、CLI命令を実行して割り込みをディセーブルする必要があります。これには、マスク・レジスター、割り込み終了(EOI)、初期化制御ワード、および操作制御ワードによる操作も含まれます。

1.4 入出力チャネル

次にI/O拡張コネクター信号について説明します。すべての信号線はTTL適合です。

追加I/O装置を接続するために、下記の電圧レベルが提供されています。各スロットについて使用可能な最大値は次のとおりです。（但し、ノートブックタイプなどのシステムでは最大容量が少ない場合があります。）

- +5 V (+5%, −4%) -- 2.7A
- −5 V (+10%, −8%) -- 0.037 A
- +12 V (+5%, −4%) -- 0.22 A
- −12 V (+10%, −9%) -- 0.090 A

I/O CH RDY信号は、入出力チャネルで、低速のI/O装置またはメモリー装置の操作に使用できます。アドレス指定された装置は、I/O CH RDYをインアクティブにすることで、操作時間を長くします。信号線が低レベルに保たれている間、各クロック・サイクルについて1個のウェイト・ステートがI/O操作およびDMA操作に追加されます。

1.4.1 I/O拡張コネクター

入出力チャネルの信号は62ピンと36ピンのI/O拡張コネクターに十分な電力を供給するために増幅されます。各スロットについて2つの低電力ショットキー(LS)負荷を想定してあります。IBMアダプターでは、通常、1アダプターについて1つの負荷しか使用しません。

入出力拡張コネクターのピン番号と信号の割り当ては次のとおりです。

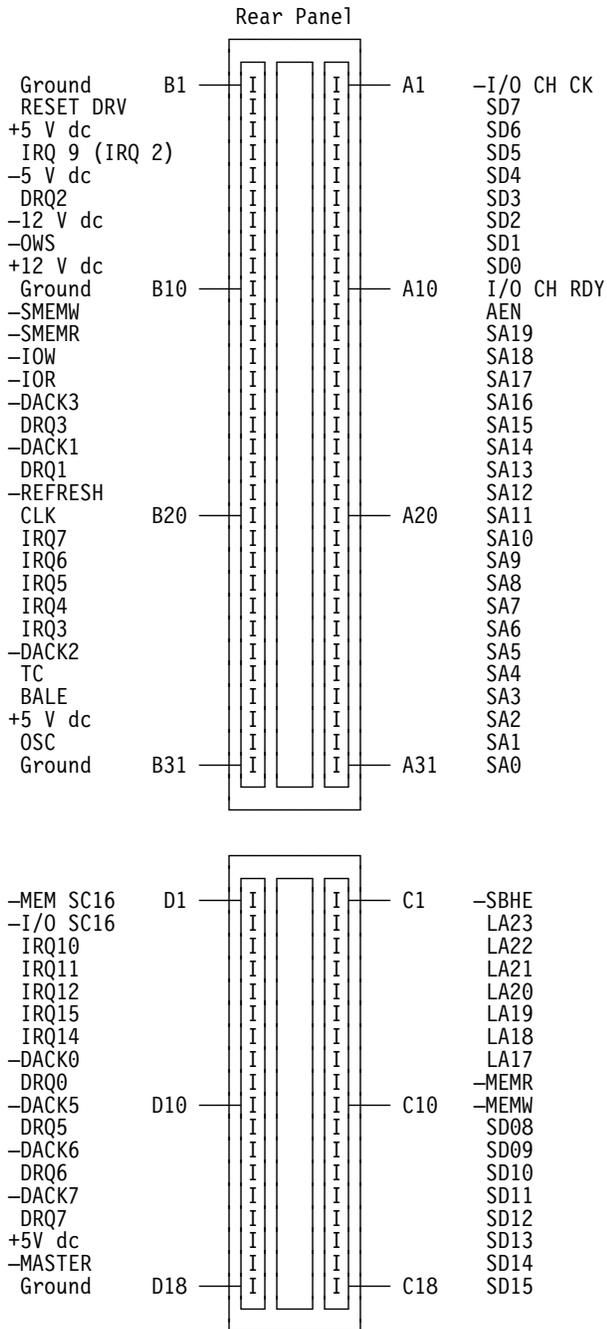



図　1-5. I/O チャネル・コネクター

1.4.2 信号の説明

入出力チャネルの信号について以下に説明します。信号線はすべてTTL適合です。各項目に付記した(I)は入力を、(O)は出力を、(I/O)は入出力を示します。

SA0〜SA19 (I/O): <System Address Bit>アドレス・ビット0〜19は、システム内のメモリーとI/O装置のアドレス指定に使用されます。

これら20のアドレス信号線は、LA17〜LA23に加えて使用できるもので、最大16MBのメモリーにアクセスできます。SA0〜SA19は、BALEが高レベルのときにシステム・バスにゲート接続され、BALEの終了エッジでラッチされます。これらの信号はマイクロプロセッサーまたはDMAコントローラーで生成されます。また、入出力チャネルにある他のマイクロプロセッサーまたはDMAコントローラーによって信号がドライブされることもあります。SA0が最低位の信号線で、SA19が最高位の信号線です。

LA17〜LA23 (I/O): <Address Bit>これらの信号（ラッチされていない）は、システム内のメモリーとI/O装置のアドレス指定に使用します。これらの信号によって、システムでは最大16MBのアドレス指定が可能になります。信号が有効になるのはBALEが高レベルのときです。LA17〜LA23はマイクロプロセッサー・サイクルの間はラッチされていません。したがって、サイクル全体にわたってずっと有効な状態になることはありません。これらの信号の目的は、1ウェイト・ステートのメモリー・サイクル用のメモリー・デコード信号を生成することです。生成したデコード信号は、BALEの終了エッジで入出力アダプターによってラッチしなければなりません。これらの信号も、入出力チャネル上にある他のマイクロプロセッサーまたはDMAコントローラーによってドライブされることがあります。

AEN (O): <Address Enable>この信号は、マイクロプロセッサーと他の装置を入出力チャネルから離して、DMA転送が行えるようにするために使用します。この信号がアクティブになっているときは、DMAコントローラーがアドレス・バス、データ・バス、読み出しコマンド信号(MEMR, SMEMR, IOR)、書き込みコマンド信号(MEMW, SMEMW, IOW)を制御します。この信号がインアクティブになっているときは、マイクロプロセッサーが制御します。DMAの動作中に間違ったアダプターが選択されるのを防ぐために、この信号をアダプター選択デコードの一部にしてください。

BALE (O) (Buffered): <Buffer Address Latch Enable>この信号は、バス・コントローラーが提供する信号で、有効なアドレスとメモリー・デコード信号をマイクロプロセッサーからラッチするためにシステム・ボードで使用します。

アドレスはBALEの終了エッジでラッチされます。BALEはDMAサイクル中は強制的に高レベルにされます。この信号は、AENとともに用いて、有効なマイクロプロセッサー・アドレスまたはDMAアドレスの標識として入出力チャネルで使用できます。

CLK (O): <Clock>システム・クロック信号は、周波数が8 MHzでデューティ・サイクルが50%です。この信号は、同期化のためだけに使用すべきものです。これは、固定周波数を必要とする用途に供するためのものではありません。但し、この周波数のちがうシステムでは、CPUとの同期のためにデューティ・サイクルが違う場合があります。

SD0〜SD15 (I/O):　<Data Bit>データ・ビット0〜7は、マイクロプロセッサー、メモリー、I/O装置にデータ・バス・ビット0〜7を提供します。

入出力チャネル上のすべての8ビット装置は、マイクロプロセッサーとの通信にSD0〜SD7を使用します。16ビット装置はSD0〜SD15を使用します。8ビット装置をサポートするために、それらの装置への8ビット転送の間は、SD8〜SD15のデータはSD0〜SD7に変換されます。すなわち、16ビット・マイクロプロセッサーから8ビット装置への転送は、2個の8ビット転送に変換されて実行されます。

-DACK0〜-DACK3および-DACK5〜-DACK7 (O):　<Data Acknowledge>これらの信号は、DMA要求(DRQ0〜DRQ3とDRQ5〜DRQ7)に対して肯定応答を返すために使用します。これらの信号はアクティブLowです。

DRQ0〜DRQ3とDRQ5〜DRQ7 (I):　<DMA Request>これらの信号は、周辺装置と入出力チャネル・マイクロプロセッサーがDMAサービスを獲得するために使用する非同期チャネル要求です。これらの信号には優先順位があり、DRQ0が最高位でDRQ7が最低位です。DRQ信号線をアクティブ・レベルにすることによって、要求が生成されます。DRQ信号線は、対応するDMA肯定応答信号線(DACK)がアクティブになるまで、高レベルになっていなければなりません。DRQ0〜DRQ3は8ビットDMA転送を行い、DRQ5〜DRQ7は16ビット転送を行います。DRQ4はシステム・ボードで使用する信号で、入出力チャネルでは使用できません。

-I/O CH CK (I):　<I/O Channel Check>この信号は、入出力チャネル上のメモリーまたは装置についてのパリティー情報を提供するNMIを生成します。この信号は、訂正不能エラーを示すためにドライブされてアクティブになり、少なくとも2クロック・サイクルの間はアクティブを保つ必要があります。

I/O CH RDY (I):　<I/O Channel Ready>この信号は、通常はアクティブ（レディ）になっています。この信号は、I/Oサイクルまたはメモリー・サイクルの時間を長くするために、メモリーまたはI/O装置によってインアクティブ（レディでない状態）にされます。この信号をインアクティブにすることによって、低速の装置を無理なく入出力チャネルに接続することができます。この信号を使用する低速装置は、有効なアドレスと読み出しコマンドまたは書き込みコマンドを検出した直後に、信号をドライブしてインアクティブにしなければなりません。この信号がインアクティブになっている間は、各クロック・サイクルについて1個のウェイト・ステートが追加されます。この信号をインアクティブにしておける時間は、2.5マイクロ秒以内です。

-IOR (I/O):　<I/O Read>この信号は、I/O装置に、装置上のデータをデータ・バスにドライブするように指示します。この信号はマイクロプロセッサーまたはDMAコントローラーによってドライブされます。

-IOW (I/O):　<I/O Write>この信号は、I/O装置に、データ・バス上のデータを読み取って装置に書き込むように指示します。この信号はマイクロプロセッサーまたはDMAコントローラーによってドライブされます。

IRQ3〜IRQ7, IRQ9〜IRQ12,およびIRQ14〜IRQ15 (I): <Interrupt Request>これらの信号は、I/O装置が処理を要求していることをマイクロプロセッサーに知らせるために使用します。信号には優先順位があります。IRQ9〜IRQ12およびIRQ14〜IRQ15が高優先順位(IRQ9が最高優先順位）で、IRQ3〜IRQ7が低優先順位(IRQ7が最低優先順位）です。IRQ信号線が低レベルから高レベルに上がるときに、割り込み要求が生成されます。信号線は、マイクロプロセッサーが割り込み要求（割り込みサービス・ルーチン）に肯定応答を返すまで、高レベルを維持していなければなりません。IRQの12と13は、システム・ボードが使用するもので、入出力チャネルでは使用できません。IRQ8は、リアル・タイム・クロックに使用されます。

-SMEMR (O) -MEMR (I/O): <Memory Read>これらの信号は、メモリー装置に、データをデータ・バスにドライブするように指示します。-SMEMRは、メモリー・デコード信号が1MBの低レベル・メモリー空間にある間だけアクティブになります。-MEMRは、すべてのメモリー読み出しサイクルでアクティブです。-MEMRは、システムのどのマイクロプロセッサーまたはDMAコントローラーからでもドライブできます。-SMEMRは-MEMRと1MBの低レベルのメモリー・デコード信号から導出されます。入出力チャネルのマイクロプロセッサーが-MEMRをドライブする場合、-MEMRをドライブしてアクティブにする前に、クロックの1周期分の期間、バスのアドレス信号線を有効な状態に保つ必要があります。これらの信号は両方ともアクティブLowです。

-SMEMW (O) -MEMW (I/O): <Memory Write>これらの信号は、メモリー装置に、データ・バス上にあるデータを記憶するように指示します。-SMEMWは、メモリー・デコード信号が1MBの低レベル・メモリー空間にある間だけアクティブになります。-MEMWは、すべてのメモリー書き込みサイクルでアクティブです。-MEMWは、システムのどのマイクロプロセッサーまたはDMAコントローラーからでもドライブできます。-SMEMWは、-MEMWと1MBの低レベルのメモリー・デコード信号から導出されます。入出力チャネルのマイクロプロセッサーが-MEMWをドライブする場合、-MEMWをドライブしてアクティブにする前に、システム・クロックの1周期分の期間、バスのアドレス信号線を有効な状態に保つ必要があります。これらの信号は両方ともアクティブLowです。

-REFRESH (I/O): <Memory Refresh>この信号は、リフレッシュ・サイクルを指示します。この信号は、入出力チャネルのマイクロプロセッサーによってドライブできます。

OSC (O): <Oscillator>この信号は、周期が70ナノ秒 (14.31818 MHz)でデューティ・サイクルが50%の高速クロック信号です。この信号はシステム・クロックとは同期していません。

RESET DRV (O): <Reset Drive>この信号は、電源投入時または電源電圧が低い間、システム論理をリセットまたは初期化するために使用します。

TC (O): <Terminal Count>この信号線は、DMAチャネルが最終カウントに達した時点でパルスを出力します。

-MASTER (I): <Master>この信号は、システムの制御を得るためにDRQ信号線とともに使用します。入出力チャネルのプロセッサーまたはDMAコントローラーは、DMAチャネルにカスケード・モードでDRQを出して、-DACKを受け取ることができます。-DACKを受信すると、I/Oマイクロプロセッサーは-MASTERを低レベルにすることができます。これで、マイクロプロセッサーは、システムのアドレス、データ、制御の3つの信号線を制御できる状態（スリーステイトの状態）になります。-MASTERが低レベルになったあとでは、I/Oマイクロプロセッサーは1システム・クロックのあいだ待ってから

でないと、アドレス信号線とデータ信号線をドライブできません。また、読み出しコマンドまたは書き込みコマンドを出すには、その前に2システム・クロック待つ必要があります。信号が低レベルになっている時間が15マイクロ秒を超えた場合は、リフレッシュができずにシステム・メモリーの内容が失われることがあります。

-MEM CS16 (I): <Memory Chip Select 16>この信号は、システムに、現在のデータ転送が1ウェイト・ステートの16ビット・メモリー・サイクルであることを示します。この信号は、LA17〜LA23のデコード信号から導出しなければなりません。-MEM CS16は、20mAの引き込みができるオープン・コレクターまたはスリーステイト・ドライバーでドライブされます。

-I/O CS16 (I): <I/O Chip Select 16>この信号は、システムに、現在のデータ転送が16ビットの1ウェイト・ステートのI/Oサイクルであることを示します。この信号はアドレス・デコード信号から導出されます。-I/O CS16は、アクティブLowで、20mAの引き込みができるオープン・コレクターまたはスリーステイト・ドライバーでドライブされます。

-0WS (I): <0 Wait State>この信号は、マイクロプロセッサーに、追加のウェイト・ステートを挿入せずに現在のバス・サイクルを完了できることを知らせます。16ビット装置に対してウェイト・ステートなしでメモリー・サイクルを実行するには、-0WSはアドレス・デコード信号から導出されます。8ビット装置に対して最小2ウェイト・ステートでメモリー・サイクルを実行するには、読み出しコマンドまたは書き込みコマンドがアクティブになってから1システム・クロック後に-0WSをドライブし、その装置用のアドレス・デコード信号にゲート接続します。8ビット装置へのメモリー読み出しコマンドとメモリー書き込みコマンドは、システム・クロックの終了エッジでアクティブになります。-0WSは、アクティブLowで、20mAの引き込みができるオープン・コレクターまたはスリーステイト・ドライバーでドライブされます。

-SBHE (I/O): <System Bus High Enable>この信号は、データ・バスの高位バイトSD8〜SD15でのデータの転送を示します。16ビット装置では、SBHEを使って、データ・バス・バッファーをSD8〜SD15に連結します。

1.5 コネクター

1.5.1 キーボード・コネクター

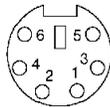
キーボードのコネクターとして、6ピン小型DINおよび5ピンDINコネクターがあります。どちらのコネクターが提供されるかはシステムによって異なります。
PS/2のマウスなどの補助装置を実現する場合は6ピン小型DINコネクターを使用します。
図1-6は、6ピン小型DINコネクターのピン番号及び信号の割り当てを示しています。

Pin	I/O	Signal Name
1	I/O	Data(DATA)
2	NA	Reserved
3	NA	Ground
4	NA	+5 V dc
5	I/O	Clock(CLK)
6	NA	Reserved

図　1-6. キーボード・コネクターのピン割り当て（6ピン小型DIN）

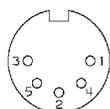
図1-7は、5ピンDINコネクターのピン番号及び信号の割り当てを示しています。

Pin	I/O	Signal Name
1	I/O	Clock(CLK)
2	I/O	Data(DATA)
3	NA	Reserved
4	NA	Ground
5	NA	+5V dc

図　1-7. キーボード・コネクターのピン割り当て（5ピンDIN）

1.5.2 ディスプレイ・コネクター

インターフェースは15ピン・メス型コネクターを使用します。

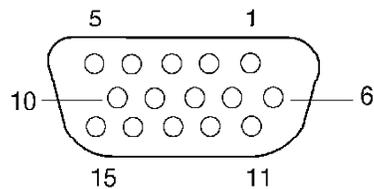
図1-8にディスプレイ・コネクターのピン割り当てを示します。

Pin	I/O	Signal
1	O	Red Video
2	O	Green Video
3	O	Blue Video
4		Reserved
5		Ground
6		Red Ground (Analog)
7		Green Ground (Analog)
8		Blue Ground (Analog)
9		NC
10		Ground
11		Reserved
12		Reserved
13	O	Horizontal SYNC
14	O	Vertical SYNC
15		Reserved

図　1-8. ディスプレイ・コネクター信号

1.5.3 シリアル・ポート・コネクター

このインターフェースは、EIA RS-232Cに準拠した9ピンと25ピンのDシェル・オス型コネクターおよびピン割り当てを使用します。電圧レベルはEIA規格だけです。電流ループ・インターフェースはサポートされていません。

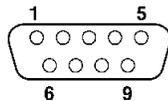
図1-9に、9ピン　シリアル・ポート・コネクターへの信号割り当てを示します。

Pin No.	I/O	Signal Name
1	I	Data Carrier Detect
2	I	Receive Data
3	O	Transmit Data
4	O	Data Terminal Ready
5	N/A	Signal Ground
6	I	Data Set Ready
7	O	Request to Send
8	I	Clear to Send
9	I	Ring Indicate

図　1-9. 9ピン　シリアル・ポート・コネクターの信号とピン割り当て

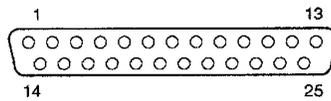
図1-10に、25ピン　シリアル・ポート・コネクターへの信号割り当てを示します。

Pin No.	I/O	Signal Name	Pin No.	I/O	Signal Name
1	N/A	Not Connected	14	N/A	Not Connected
2	O	Transmit Data	15	N/A	Not Connected
3	I	Receive Data	16	N/A	Not Connected
4	O	Request to Send	17	N/A	Not Connected
5	I	Clear to send	18	N/A	Not Connected
6	I	Data Set Ready	19	N/A	Not Connected
7	N/A	Signal Ground	20	O	Data Terminal Ready
8	I	Data Carrier Detect	21	N/A	Not Connected
9	N/A	Not Connected	22	I	Ring Indicator
10	N/A	Not Connected	23	N/A	Not Connected
11	N/A	Not Connected	24	N/A	Not Connected
12	N/A	Not Connected	25	N/A	Not Connected
13	N/A	Not Connected			

図　1-10. 25ピン　シリアル・ポート・コネクターの信号とピン割り当て

1.5.4 パラレル・ポート・コネクター

パラレル・ポート・コネクターは、標準25ピンDシェル・メス型コネクターです。

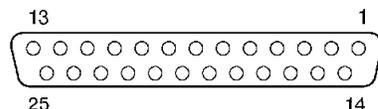
図1-11に、パラレル・ポート・コネクターに割り当てられている信号を示します。

Pin No.	I/O	Signal Name	Pin No.	I/O	Signal Name
1	I/O	-STROBE	14	O	-AUTO FD XT
2	I/O	Data Bit 0	15	I	-ERROR
3	I/O	Data Bit 1	16	O	-INIT
4	I/O	Data Bit 2	17	O	-SLCT IN
5	I/O	Data Bit 3	18	NA	Ground
6	I/O	Data Bit 4	19	NA	Ground
7	I/O	Data Bit 5	20	NA	Ground
8	I/O	Data Bit 6	21	NA	Ground
9	I/O	Data Bit 7	22	NA	Ground
10	I	-ACK	23	NA	Ground
11	I	BUSY	24	NA	Ground
12	I	PE	25	NA	Ground
13	I	SLCT			

図　1-11. パラレル・ポート・コネクターの信号割り当てとピン割り当て

注:　ピン1~9は片方向のみサポートするシステムでは、出力のみとなります。

システム・ボード

第2章　システム・ボード

2.1 概要

この章では、システム・ボードの構成要素として規定されているハードウェアについての説明とプログラミング情報が記述されています。

2.2 DMAコントローラー

ダイレクト・メモリー・アクセス(DMA)コントローラーを使用することによって、I/O装置はメモリーとの間でデータを直接やりとりすることができます。したがって、システム・マイクロプロセッサーがI/Oタスクから解放され、マイクロプロセッサーのスループットが増大します。

DMAコントローラーはソフトウェアでプログラムすることができます。システム・マイクロプロセッサーは、DMAコントローラーをアドレス指定して内部レジスターを読み出したり変更したりできるので、DMAモード、転送アドレス、転送カウント、チャネル・マスク、およびページ・レジスターを定義することができます。

DMAコントローラーの機能は、プログラム・モードとDMA転送モードの2つに分類できます。プログラム・モードではDMAレジスターのプログラミングや読み出しができます。

プログラム・モードとは、システム・マイクロプロセッサーが特定のアドレス範囲内でDMAコントローラーを参照しているときの状態です。(2-7ページの2.2.5、『DMA I/Oアドレス・マップ』を参照してください。)

DMAコントローラーは次の機能をサポートします。

- レジスターおよびプログラムの、IBM PC/AT* のDMAチャネルとの適合性(8237適合モード)。
- メモリーの16MB (24ビット)のアドレス指定機能。
- メモリーとI/O装置間のデータ転送ができる7つの独立したDMAチャネル。
- 各転送操作についての読み出し/書き込みサイクルをオーバーラップさせて行えるシリアルDMA操作。
- バイト転送チャネル及びワード転送チャネルを装備。
- システム・バス・インターフェースとコントロール・ロジックの共用。

2.2.1 メモリーとI/O装置との間のデータ転送

DMAコントローラーは、メモリーとI/O装置との間のデータ転送を行います。バースト・モードの転送やメモリーからメモリーへの転送はサポートされていません。

2.2.2 バイト・ポインター

バイト・ポインターを使用して、8ビット・ポートから8ビットを超えるレジスターの連続バイトにアクセスできます。アクセスできるレジスターは、メモリー・アドレス・レジスター(3バイト）、転送カウント・レジスター(2バイト）、およびI/Oアドレス・レジスター(2バイト）です。

2.2.3 DMAチャネル

DMAチャネル0〜3は、8ビットの入出力アダプターと8ビットまたは16ビットのシステム・メモリーとの間の8ビット・データ転送をサポートします。チャネル0〜3の各チャネルにおいて、64KBブロックで16MBのシステム・アドレス空間全体にわたってデータが転送できます。論理回路は、2つの8237コントローラー・チップと同等の回路です。図2-1は、DMAチャネルの割り当てを示します。

Channel	Assignment
DRQ0	Unused
DRQ1	Unused
DRQ2	Diskette
DRQ3	Hard Disk (Option)*
DRQ4	Cascade
DRQ5	Unused
DRQ6	Unused
DRQ7	Unused

図　2-1. DMAチャネルの割り当て

* PS/2*のハードディスク装置はこのチャネルを使用しています。

DMAチャネル0〜3のアドレス生成

図2-2は、DMAチャネル0〜3のアドレスの生成を示しています。

Source	DMA Page Registers	Controller
Address	A23---------A16	A15---------A0

図　2-2. チャネル0〜3のDMAアドレスの生成

注: バイト・ハイ・イネーブル(BHE)アドレス指定信号は、アドレス信号線A0を反転させることによって生成します。

DMAチャネル5〜7のアドレスの生成

DMAチャネル4は、チャネル5〜7をマイクロプロセッサーにカスケード接続するために使用します。チャネル5, 6, 7は、16ビット入出力アダプターと16ビット・システム・メモリーとの間の16ビット・データ転送をサポートしています。これらのチャネルでは、128KBブロックで16MBのシステム・アドレス空間にデータを転送できます。チャネル5, 6, 7では、奇数バイト境界のデータ転送はできません。

図2-3は、DMAチャネル5〜7のアドレスの生成を示します。

Source	**DMA Page Registers**	**Controller**
Address	A23---------A17	A16---------A1

図　2-3. チャネル5〜7のアドレスの生成

注:　アドレッシング信号BHEとA0は、強制的に論理値0にされます。

2.2.4 ページ・レジスターのアドレス

図2-4に示すのはページ・レジスターのアドレスです。

Page Register	I/O Hex Address
DMA Channel 0	0087
DMA Channel 1	0083
DMA Channel 2	0081
DMA Channel 3	0082
DMA Channel 5	008B
DMA Channel 6	0089
DMA Channel 7	008A
Refresh	008F

図　2-4. ページ・レジスターのアドレス

どのDMAチャネルについても、アドレスがページの境界（チャネル0〜3では64KB, チャネル5〜7では128KB)を超えて増減されることはありません。

DMAチャネル5〜7は、16ビットのデータ転送を行います。チャネル5〜7のDMAサイクル中は、アクセスは16ビット装置（I/O装置またはメモリー）だけに対して行われます。これらのチャネルを制御するDMAコントローラーへのアクセスは、I/Oアドレス0C0h〜0DFhを用いて行います。

チャネル5〜7で行うDMAメモリー転送はすべて、偶数バイト境界で開始しなければなりません。これらのチャネルについてベース・アドレスをプログラミングした場合、ベース・アドレス・レジスターに書き込まれるデータは実アドレスを2で割った値です。また、チャネル5〜7についてベース・ワード・カウントをプログラミングした場合、カウントは転送する16ビット・ワードの数になります。したがって、DMAチャネル5〜7では、メモリーのどの選択ページについても、最大65,536ワードまたは128KBを転送できます。これらのDMAチャネルでは、16MBメモリー空間を128KBのページに分割します。チャネル5〜7のDMAページ・レジスターをプログラミングすると、データ・ビットD7〜D1には目的のメモリー空間の高位の7アドレス・ビット(A23〜A17)が入ります。チャネル5〜7のページ・レジスターのデータ・ビットD0は、DMAメモリー・アドレスの生成には使用されません。

電源投入時にモード・レジスターに有効な値がロードされなければなりません。一部に使用しないチャネルがあっても、この値のロードは行われます。

2.2.5 DMA I/Oアドレス・マップ

Address (hex)	Description	Bit Description	Byte Pointer
0000	Channel 0, Memory Address Register	00-15	Yes
0001	Channel 0, Transfer Count Register	00-15	Yes
0002	Channel 1, Memory Address Register	00-15	Yes
0003	Channel 1, Transfer Count Register	00-15	Yes
0004	Channel 2, Memory Address Register	00-15	Yes
0005	Channel 2, Transfer Count Register	00-15	Yes
0006	Channel 3, Memory Address Register	00-15	Yes
0007	Channel 3, Transfer Count Register	00-15	Yes
0008	Channel 0-3, Read Status/Write Command Register	00-07	
0009	Channel 0-3, Write Request Register	00-02	
000A	Channel 0-3, Write Single Mask Register Bit	00-02	
000B	Channel 0-3, Mode Register (Write)	00-07	
000C	Channel 0-3, Clear Byte Pointer (Write)	N/A	
000D	Channel 0-3, Master Clear (W)/Temp (R)	00-07	
000E	Channel 0-3, Clear Mask Register (Write)	00-03	
000F	Channel 0-3, Write All Mask Register Bits	00-03	
0081	Channel 2, Page Table Address Register **	00-07	
0082	Channel 3, Page Table Address Register **	00-07	
0083	Channel 1, Page Table Address Register **	00-07	
0087	Channel 0, Page Table Address Register **	00-07	
0089	Channel 6, Page Table Address Register **	00-07	
008A	Channel 7, Page Table Address Register **	00-07	
008B	Channel 5, Page Table Address Register **	00-07	
008F	Channel 4, Pg Tbl Address/Refresh Register	00-07	
00C0	Channel 4, Memory Address Register	00-15	Yes
00C2	Channel 4, Transfer Count Register	00-15	Yes
00C4	Channel 5, Memory Address Register	00-15	Yes
00C6	Channel 5, Transfer Count Register	00-15	Yes
00C8	Channel 6, Memory Address Register	00-15	Yes
00CA	Channel 6, Transfer Count Register	00-15	Yes
00CC	Channel 7, Memory Address Register	00-15	Yes
00CE	Channel 7, Transfer Count Register	00-15	Yes
00D0	Channel 4-7, Read Status/Write Command Register	00-07	
00D2	Channel 4-7, Write Request Register	00-02	
00D4	Channel 4-7, Write Single Mask Register Bit	00-02	
00D6	Channel 4-7, Mode Register (Write)	00-07	
00D8	Channel 4-7, Clear Byte Pointer (Write)	N/A	
00DA	Channel 4-7, Master Clear (W)/Temp (R)	00-07	
00DC	Channel 4-7, Clear Mask Register (Write)	00-03	
00DE	Channel 4-7, Write All Mask Register Bits	00-03	

* Dependent upon the function used.
** Upper byte of Memory Address register.

図 2-5. DMA I/Oアドレス

2.2.6 DMAレジスター

DMAへのシステム・マイクロプロセッサーのアクセスはすべて8ビットI/O命令でなければなりません。図2-6に、DMAレジスターの名前とサイズを示します。

Register	Size (bits)	Quantity of Registers	Allocation
Memory Address	16	8	1 per Channel
Transfer Count	16	8	1 per Channel
Page	8	8	1 per Channel
Mask	4	2	1 for Channels 7 - 4
			1 for Channels 3 - 0
Mode	8	8	1 per Channel
Status	8	2	1 for Channel 7 - 4
			1 for Channel 3 - 0

図 2-6. DMAレジスター

メモリー・アドレス・レジスター

各チャネルには16ビットのメモリー・アドレス・レジスターがあります。このレジスターは、DMA転送中に使用するアドレスの値を保持します。各転送の後ではアドレスが増加または減少しますが、転送中は、アドレスの中間値がこのレジスターに記憶されます。このレジスターの書き込みまたは読み出しは、連続した8ビットのバイトでマイクロプロセッサーが行います。自動初期化を行うと、このレジスターは元の値に復元されます。

対応するDMAページ・レジスターの内容が、DMAメモリー・アドレスの最高位バイトになります。

転送カウント・レジスター

各DMAチャネルには、16ビットの転送カウント・レジスターがあります。このレジスターはシステム・マイクロプロセッサーによってロードされます。転送カウントによって、終了カウントに達する前にDMAチャネルが実行する転送の回数が決まります。転送の回数は、常に、カウントで指定される数より1だけ大きい数になります。たとえば、カウントが0なら、DMAは転送を1回行います。レジスターの値が0000h〜FFFFhの場合は、終了カウント・パルスはDMAチャネルによって生成されます。DMAコントローラーがプログラム状態になっているときは、システム・マイクロプロセッサーが連続したI/Oバイト操作で転送カウント・レジスターを読み出すことができます。自動初期化を行うと、レジスターは元の値に復元されます。

マスク・レジスター

各DMAチャネルには対応するマスク・ビットが1つあります。このマスク・ビットが設定されると、DMAがディセーブルされて要求元の装置に対するサービスができなくなります。各マスク・ビットはシステム・マイクロプロセッサーによって設定またはクリアーされます。システム・リセット・コマンドまたはDMAマスター・クリアー・コマンドは、すべてのマスク・ビットを1に設定します。マスク・レジスター・クリアー・コマンドは、すべてのマスク・ビットを0に設定します。このレジスターは、8237適合モード・コマンドを用いてプログラミングできます。

Bit	Function
7 - 3	Reserved (Must be set to 0)
2	0 = Clear Mask Bit
	1 = Set Mask Bit
1, 0	00 = Select Channel 0 or 4
	01 = Select Channel 1 or 5
	10 = Select Channel 2 or 6
	11 = Select Channel 3 or 7

図　2-7. 単一マスク・ビットの設定/クリアー（8237適合モード）

Bit	Function
7 - 4	Reserved (Must be set to 0)
3	0 = Clear Channel 3 or 7 Mask Bit
	1 = Set Channel 3 or 7 Mask Bit
2	0 = Clear Channel 2 or 6 Mask Bit
	1 = Set Channel 2 or 6 Mask Bit
1	0 = Clear Channel 1 or 5 Mask Bit
	1 = Set Channel 1 or 5 Mask Bit
0	0 = Clear Channel 0 or 4 Mask Bit
	1 = Set Channel 0 or 4 Mask Bit

図　2-8. DMAマスク・レジスターの書き込み（8237適合モード）

モード・レジスター

各DMAチャネルには、そのチャネルがアクティブになったときに行われる操作のタイプを識別するモード・レジスターがあります。モード・レジスターは、システム・マイクロプロセッサーによってプログラミングされ、その内容が形式変更されてDMAコントローラー内部に記憶されます。モード・レジスターは書き込み専用です。

Bit	Function
7, 6*	00 = Demand Mode Select
	01 = Single Mode Select
	10 = Block Mode Select
	11 = Cascade Mode Select
5	0 = Address Increment
	1 = Address Decrement
4	0 = Auto-initialize Disable
	1 = Auto-initialize Enable
3, 2	00 = Verify Operation
	01 = Write Operation
	10 = Read Operation
	11 = Reserved
1, 0	00 = Select Channel 0 or 4
	01 = Select Channel 1 or 5
	10 = Select Channel 2 or 6
	11 = Select Channel 3 or 7

図　2-9. 8237適合モード・レジスター

* PS/2*ではこれらのビットは予約済みで“00”を書き込みます。

ステータス・レジスター

ステータス・レジスターは2つあり、装置のステータスについての情報が入っています。この情報によって、どのチャネルが終了カウントに達したかがわかります。ビット4〜7は、対応するチャネルが終了カウントに達するたびにセットされます。リセット・コマンドまたはシステム・マイクロプロセッサーのステータス読み出しコマンドが出ると、すべてのビットがクリアーされます。書き込み操作では、これらのレジスターは2-11ページの図2-11に示すようにコマンド・レジスターになります。

Bit	Function
7	Channel 3 or 7 Request
6	Channel 2 or 6 Request
5	Channel 1 or 5 Request
4	Channel 0 Request
3	Channel 3 or 7 Terminal Count
2	Channel 2 or 6 Terminal Count
1	Channel 1 or 5 Terminal Count
0	Channel 0 Terminal Count

図　2-10. ステータス・レジスター（読み出し操作時）

Bit	Function
7	0 = DACK Active Low
	1 = DACK Active High
6	0 = DRQ Active High
	1 = DRQ Active Low
5	0 = Late Write
	1 = Extended Write
4	0 = Fixed Priority
	1 = Rotating Priority
3	0 = Normal Timing
	1 = Compressed Timing
2	0 = Controller Enable
	1 = Controller Disable
1	Reserved
0	Reserved (Must be 0)

図　2-11. コマンド・レジスター（書き込み操作時）

図2-12にDMAチャネル2のプログラミング例を示します。

Program Step	OUT to ADRS Data
Set Channel Mask Bit	(000Ah) x6h
Clear Byte Pointer	(000Ch) xxh
Write Memory Address	(0004h) xxh
Write Memory Address	(0004h) xxh
Write Page Table Address	(0081h) xxh
Clear Byte Pointer	(000Ch) xxh
Write Register Count	(0005h) xxh
Write Register Count	(0005h) xxh
Write Mode Register	(000Bh) xxh
Clear Channel 2 Mask Bit	(000Ah) x2h

注: Values inside ( ) are addresses, x represents data.

図 2-12. DMAチャネル2のプログラミング例

2.3 システム・タイマー

システムはチャネル0, チャネル1, チャネル2の3つのプログラム可能なタイマーを提供します。PS/2*のチャネル0, 1, 2は、IBM PC/AT*のチャネル0, 1, 2と同様の機能です。

図2-13はタイマーのブロック図です。

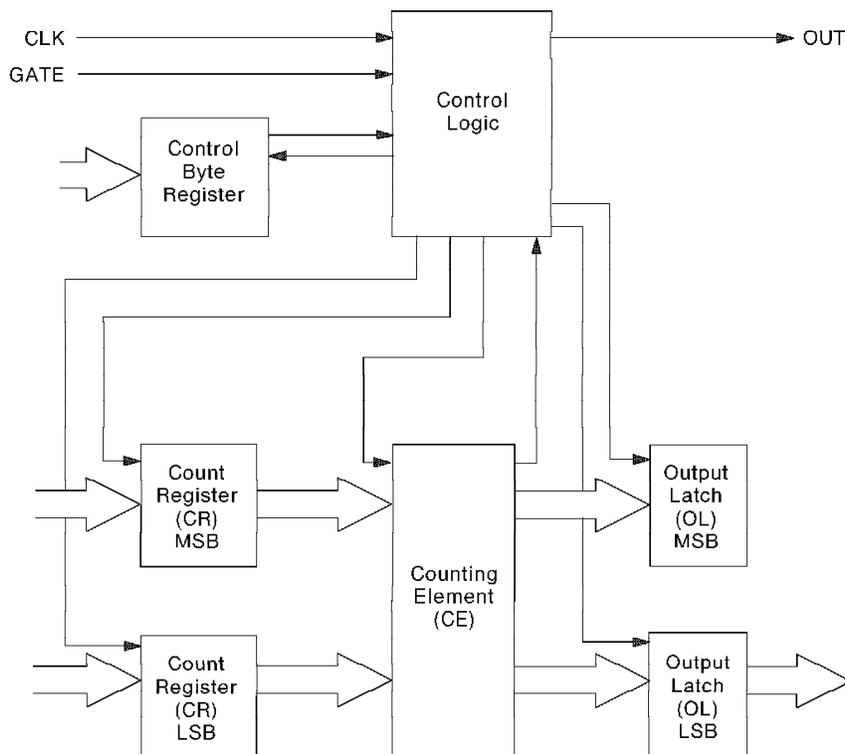



図　2-13. システム・タイマーのブロック図

2.3.1 チャネル0, システム・タイマー

- GATE 0は、常にイネーブルされています。
- CLK IN 0は、1.190 MHz信号でドライブされます。
- CLK OUT 0は、割り込み要求0 (IRQ 0)をドライブします。

2.3.2 チャネル1, リフレッシュ要求発生

- GATE 1は、常にイネーブルされています。
- CLK IN 1は、1.190 MHz信号でドライブされます。
- CLK OUT 1は、リフレッシュ・サイクル要求です。

注: チャネル1は、15マイクロ秒の信号を発生するためのレート発生器としてプログラミングされています。

2.3.3 チャネル2, スピーカー用の音程発生

- GATE 2は、ポート0061hのビット0 (PPI)によって制御されます。
- CLK IN 2は、1.190 MHz信号でドライブされます。
- CLK OUT 2は入力ポート0061hのビット5に接続されています。また、CLK OUT 2は、ポート0061hのビット1にも論理AND接続されていて、スピーカー・データ・イネーブル信号を生成します。

2.3.4 タイマー0, 1, 2

各タイマーは独立しています。タイマー0, 1, 2は、プリセット可能な16ビットのダウン・カウンターです。カウントは、2進数または2進化10進数(BCD: binary-coded decimal)で行われます。

2.3.5 システム・タイマーのプログラミング

システムは、プログラム可能なインターバル・タイマーを4つの外部I/Oポートの並びとして扱います。4つのポートのうち、3つはカウント・レジスターとして、1つはモード・プログラミング用の制御レジスターとして扱われます。タイマーは、制御ワードと初期カウントを書き込むことによってプログラミングされます。制御ワードはすべて制御ワード・レジスターに書き込まれます。制御ワード・レジスターはタイマー0, 1, 2のI/Oアドレス0043hにあります。初期カウントは制御ワード・レジスターでなくカウント・レジスターの方に書き込まれます。初期カウントの形式は使用する制御ワードによって決まります。

カウントはカウント・レジスターに書き込まれ、そのあとでモード定義に従ってカウント要素に転送されます。カウントを読み出すときは、データは出力ラッチで渡されます。

2.3.6 カウンター書き込み操作

制御ワードの書き込みは、初期カウントの書き込みの前でなければなりません。

カウントは、制御ワードに指定されたカウント形式に従って行われます。

カウンターにはいつでも新しい初期カウントを書き込むことができます。これによってプログラミング済みのカウンターのモードに影響が出ることはありません。カウントは、モード定義の記述に従って行

われます。したがって、新しいカウントもプログラミング済みのカウント形式に従ったものになります。

2.3.7 カウンター読み出し操作

カウンターは、カウンター・ラッチ・コマンドを使用して読み出すことができます。(詳細については、2-17ページの2.3.10、『カウンター・ラッチ・コマンド』を参照してください。)

カウンターが2バイト・カウント用にプログラミングされている場合は、2バイトを読み出さなければなりません。ただし、この2バイトは連続して読み出す必要はありません。他のカウンターの読み出し、書き込み、またはプログラミング操作が2つのバイトの間に入っていてもかまいません。

注: カウンターが2バイト・カウントの読み出しまたは書き込み用にプログラミングされている場合は、第1バイトと第2バイトの書き込みの間で、同じカウンターで読み出しまたは書き込みを行う別のルーチンにプログラムが制御を渡すことがあってはなりません。これはカウント・エラーの原因になります。

2.3.8 カウンターの使用可能なモード

各カウンターに対しては以下のモードが使用可能です。

Counter	Support Mode
0	0, 2, 3, 4
1	0, 2, 3, 4
2	0, 1, 2, 3, 4, 5

2.3.9 レジスター

I/O Address (hex)	Register
0040	Read/Write Timer/Counter 0
0041	Read/Write Timer/Counter 1
0042	Read/Write Timer/Counter 2
0043	Write Control Byte for Counters 0, 1, or 2

図　2-14. システム・タイマー/カウンター・レジスター

チャネル0 (0040h)カウント・レジスターとチャネル2 (0042h)カウント・レジスター

制御バイトはアドレス0043hに書き込まれます。この制御バイトは、カウントの形式（最下位バイトのみ、最上位バイトのみ、または最下位バイトに続き最上位バイト）を示します。制御バイトの書き込みは、I/Oアドレス0040h（チャネル0の場合）または0042h（チャネル2の場合）へのカウントの書き込みの前に行われなければなりません。

制御バイト・レジスター、チャネル0, 1, または2 (0043h)

これは書き込み専用レジスターです。図2-15〜図2-18に、カウンター0, 1, および2の制御バイト（I/Oアドレス0043h)の形式を示します。

Bit 7 SC1	Bit 6 SC0	
0	0	Select Counter 0
0	1	Select Counter 1
1	0	Select Counter 2
1	1	Reserved

図　2-15. SC - カウンター選択ビット、I/Oアドレス0043h

Bit 5 RW1	Bit 4 RW0	
0	0	Counter Latch Command
0	1	Read/Write Counter Bits 0 - 7 only
1	0	Read/Write Counter Bits 8 - 15 only
1	1	Read/Write Counter Bits 0 - 7 first, then Bits 8 - 15

図　2-16. RW - カウンター読み書きビット、I/Oアドレス0043h

Bit 3	Bit 2	Bit 1	
M2	**M1**	**M0**	
0	0	0	Mode 0
0	0	1	Mode 1
x	1	0	Mode 2
x	1	1	Mode 3
1	0	0	Mode 4
1	0	1	Mode 5

注: xは0にセットして下さい。

図 2-17. M - カウンター・モード・ビット、I/Oアドレス0043h

Bit 0	
BCD	
0	Binary Counter 16 Bits
1	Binary Coded Decimal Counter (4 Decades)

図 2-18. 2進化10進数(BCD)ビット

2.3.10 カウンター・ラッチ・コマンド

カウンター・ラッチ・コマンドは制御バイト・レジスターに書き込まれます。ビットSC0とSC1がカウンターを選択し、ビット5と4がこのコマンドを制御バイトと区別します。図2-19に、カウンター・ラッチ・コマンドの形式を示します。

Bit	Function
7	SC1 - Specifies the counter to be latched
6	SC0 - Specifies the counter to be latched
5, 4	0 - Specifies the Counter Latch command
3 - 0	0 - Reserved

図 2-19. カウンター・ラッチ・コマンド

カウンター・ラッチ・コマンドを受け取ると、選択されたカウンターの出力ラッチにカウントがラッチされます。このカウントは、システム・マイクロプロセッサーが読み出すまで（またはカウンターを再プログラミングするまで）ラッチに保持されます。システム・マイクロプロセッサーがカウントを読み出すと、カウントのラッチが自動的に解除され、出力ラッチは元の状態に戻ってカウント要素に従います。カウンター・ラッチ・コマンドがプログラミング済みのカウンターのモードに影響を与えることはありません。システム・マイクロプロセッサーがカウントを読み出す前に、別のラッチ・コマンドをカウンターに対して出しても、そのようなラッチ・コマンドはすべて無視されます。カウンター・ラッチの読み出しサイクルで戻されるのは、最初のカウンター・ラッチ・コマンドによってラッチされた値だけです。

2.3.11 システム・タイマー・モード

タイマー・モードの説明には次の定義を使用します。

CLKパルス	:	カウンターへのCLK入力の立ち上がりエッジと立ち下がりエッジです。
トリガー	:	カウンターへのGATE入力の立ち上がりエッジです。
カウンター・ロード	:	カウンター・レジスターからカウント要素へのカウントの転送を意味します。

モード0, カウント終了割り込み

イベント・カウントはモード0を使用して行います。カウントはGATEが1にセットされたときにイネーブルされ、GATEが0にセットされたときにディセーブルされます。制御バイトと初期カウントがカウンターに書き込まれるときにGATEが1になっていると、モード0のシーケンスは次のようになります。

1. 制御バイトがカウンターに書き込まれ、OUTが低レベルになります。
2. 初期カウントが書き込まれます。
3. 次のCLKパルスで初期カウントがロードされます。このCLKパルスではカウントは減少しません。
4. この後、カウンターが0になるまでカウントが減少します。初期カウントが*n*のとき、カウンターは*n*+1個のCLKパルスのあとで0になります。
5. OUTが高レベルになります。

OUTは、新しいカウントまたは新しいモード0の制御バイトがカウンターに書き込まれるまで、高レベルのままになっています。

初期カウントがカウンターに書き込まれるときにGATEが0になっていた場合は、カウントがイネーブルされていなくても、次のCLKパルスで初期カウントがロードされます。GATEがカウントをイネーブルしたあとで、CLKパルス*n*個分遅れてOUTが高レベルになります。

カウント中に新しいカウントがカウンターに書き込まれると、次のCLKパルスでそれがロードされ、その新しいカウントからカウントが続行されます。2バイトのカウントをカウンターに書き込むと、次の処理が行われます。

1. カウンターに書き込まれた最初のバイトがカウントをディセーブルします。ただちにOUTが低レベルになります。CLKパルスには遅れは生じません。
2. 2番目のバイトがカウンターに書き込まれると、次のCLKパルスで新しいカウントがロードされます。カウンターが0になると、OUTが高レベルになります。

モード1, ハードウェア再トリガー可能ワンショット

制御バイトと初期カウントをカウンターに書き込むことによって、カウンターが使用可能な状態になります。トリガーが発生すると、カウンターがロードされます。モード1のシーケンスは次のとおりです。

1. OUTは高レベルになっています。
2. 制御バイトと初期カウントがカウンターに書き込まれます。
3. トリガーの後のCLKパルスで、OUTが低レベルになり、ワンショット・パルスが始まります。
4. カウントが減少して、カウンターが0になります。
5. OUTが高レベルになります。

OUTは、次のトリガーの後のCLKが出るまでは、高レベルになっています。

初期カウントが*n*のとき、ワンショット・パルスはCLKパルスの*n*個分の長さになります。ワンショット・パルスは、後続の各トリガーについても、同じ*n*回のカウントを繰り返します。どのトリガーの場合にも、そのあとのCLKパルスが*n*回続く間、OUTは低レベルを維持します。GATEはOUTには影響を与えません。カウンターを再トリガーしない限り、カウンターに新しいカウントが書き込まれても、現行のワンショット・パルスが影響を受けることはありません。カウンターを再トリガーすると、新しいカウントがロードされ、ワンショット・パルスが継続されます。

注: モード1は、カウンター2でのみ有効です。

モード2, レート発生

このモードでは、カウンターが*n*分周機能を実行します。カウントは、GATEが1のときにイネーブルされ、GATEが0のときにディセーブルされます。モード2のシーケンスは次のとおりです。

1. OUTは高レベルになっています。
2. 制御バイトと初期カウントがカウンターに書き込まれます。
3. 次のCLKパルスで初期カウントがロードされます。
4. カウントが減少して、カウンターが1になります。
5. CLKパルス1個分の間、OUTが低レベルになります。
6. OUTが高レベルになります。
7. カウンターに初期カウントが再ロードされます。
8. 上記の処理が繰り返されます。

OUTパルス中にGATEが低レベルになると、OUTは高レベルになります。次のCLKパルスで、トリガーによってカウンターに初期カウントが再ロードされます。このトリガー後にCLKパルスが*n*個出たあとで、OUTが低レベルになります。これによって、GATE入力を使用してカウンターの同期化ができます。

OUTは、初期カウントの書き込み後にCLKパルスが*n*個出たあとで、低レベルになります。これによって、ソフトウェアでカウンターを同期化することができます。

カウンターに書き込まれる新しいカウントによって、現行のカウント・シーケンスが影響を受けることはありません。新しいカウントを書き込んでから現在のカウントが終了するまでのあいだにカウンターがトリガーを受け取ると、次のCLKパルスで新しいカウントがロードされ、新しいカウントからカウントが継続されます。カウンターがトリガーを受け取らなければ、新しいカウントは現行のカウント・サイクルが終了したあとで続いてロードされます。

モード3, 矩形波

モード3はモード2に似ていますが、OUTのデューティ・サイクルが異なります。カウントは、GATEが1のときにイネーブルされ、GATEが0のときにディセーブルされます。初期カウントが*n*のとき、OUTが矩形波になります。矩形波の周期は、CLKパルス*n*個分です。OUTが低レベルのときにGATEが低レベルになると、OUTは高レベルになります。次のCLKパルスで、トリガーによってカウンターに初期カウントが再ロードされます。

制御バイトと初期カウントの書き込みに続き、次のCLKパルスでカウンターがロードされます。これによって、ソフトウェアでカウンターを同期化することができます。

カウンターに書き込まれる新しいカウントによって、現行のカウント・シーケンスが影響を受けることはありません。新しいカウントを書き込んでから現在のカウントの矩形波の半サイクルが終了するまでのあいだにカウンターがトリガーを受け取ると、次のCLKパルスで新しいカウントがロードされ、新しいカウントからカウントが継続されます。カウンターがトリガーを受け取らなければ、新しいカウントは現行の半サイクルが終了したあとで続いてロードされます。

モード3の実行時の処理は、書き込まれたカウントが偶数か奇数かによって異なります。カウントが偶数のときのモード3のシーケンスは次のとおりです。

1. OUTは高レベルになっています。
2. 最初のCLKパルスで初期カウントがロードされます。
3. 後続のCLKパルスのたびに、カウントが2ずつ減少します。
4. カウントは減少し続け、カウンターが0になります。
5. OUTの状態が変化します。
6. カウンターに初期カウントがロードされます。
7. この処理が無限に繰り返されます。

カウントが奇数のときのモード3のシーケンスは次のとおりです。

1. OUTは高レベルになっています。
2. 初期カウントから1を引いた値が、最初のCLKパルスでロードされます。
3. 後続のCLKパルスのたびに、カウントが2ずつ減少します。

4. カウントは減少し続け、カウンターが0になります。
5. カウントが0になってからCLKパルスが1個出たあとで、OUTが低レベルになります。
6. 初期カウントから1引いた値がカウンターに再ロードされます。
7. 後続のCLKパルスのたびに、カウントが2ずつ減少します。
8. カウントは減少し続け、カウンターが0になります。
9. OUTが高レベルになります。
10. この処理が無限に繰り返されます。

奇数カウントを使用するモード3では、OUTは、カウントが$(n+1)/2$のときは高レベルになり、カウントが$(n-1)/2$のときは低レベルになります。

モード3では、制御バイトを書き込むと、OUTが最初に低レベルになっている状態で処理が実行されます。この場合のモード3のシーケンスは次のとおりです。

1. OUTは低レベルになっています。
2. カウントが、初期カウントの半分の値まで減少します。
3. OUTが高レベルになります。
4. カウントが減少を続け、カウンターが0になります。
5. OUTが低レベルになります。
6. この処理が無限に繰り返されます。

この処理の結果、CLKパルスの*n*個分の周期の矩形波が生成されます。

注: 制御バイトの書き込みのあとでもOUTを高レベルにしておく必要がある場合は、制御バイトを2度書き込まなければなりません。これは、モード3だけに適用されます。

モード4, ソフトウェア再トリガー可能ストローブ

カウントは、GATEが1のときにイネーブルされ、GATEが0のときにディセーブルされます。カウントは、初期カウントが書き込まれたときにトリガーされます。モード4のシーケンスは次のとおりです。

1. OUTは高レベルになっています。
2. 制御バイトと初期カウントがカウンターに書き込まれます。
3. 次のCLKパルスで、初期カウントがロードされます。このクロック・パルスではカウントは減少しません。
4. カウントが減少し、カウンターが0になります。初期カウントが*n*のときは、$n+1$個のCLKパルスが出たあとでカウンターが0になります。
5. OUTがCLKパルス1個分のあいだ低レベルになります。

6. OUTが高レベルになります。

OUTが低レベルになる前後の半CLKパルスの間は、GATEが低レベルになってはなりません。この間にGATEが低レベルになると、GATEが再び高レベルになるまで、OUTは低レベルのままになります。

カウント動作中に新しいカウント値がカウンターに書き込まれると、その値は次のCLKパルスでロードされます。カウントは新しいカウント値から継続されます。2バイトのカウントが書き込まれると、次の処理が行われます。

1. カウンターに書き込まれた最初のバイトは、カウントに影響を与えません。
2. 2番目のバイトがカウンターに書き込まれると、次のCLKパルスで新しいカウントがロードされます。

モード4のシーケンスはソフトウェアによって再トリガーできます。新しいカウント*n*が書き込まれてからOUTが低レベルになってストローブ・パルスが出るまでの周期は、パルス(*n*+1)個分です。

モード5, ハードウェア再トリガー可能ストローブ

カウントはGATEの立ち上がりエッジによってトリガーされます。モード5のシーケンスは次のとおりです。

1. OUTは高レベルになっています。
2. 制御バイトと初期カウントがカウンターに書き込まれます。カウントは、GATEの立ち上がりエッジによってトリガーされます。
3. トリガーの後の最初のCLKパルスでカウンターがロードされます。このCLKパルスでは、カウントは減少しません。
4. カウントが減少し、カウンターが0になります。
5. OUTが、CLKパルス1個分のあいだ低レベルになります。これは、トリガーのあとでCLKパルスが(*n*+1)個出たときに起こります。
6. OUTが高レベルになります。

カウント・シーケンスは再トリガーできます。トリガーのあとで、OUTは(*n*+1)個の低レベルのストローブ・パルスを出力します。GATEはOUTには影響を与えません。

カウンターに書き込まれる新しいカウントによって現行のカウント・シーケンスが影響を受けることはありません。新しいカウントを書き込んでから現在のカウントが終了するまでのあいだにカウンターがトリガーを受け取ると、次のCLKパルスで新しいカウントがロードされ、新しいカウントからカウントが継続されます。

注: モード5はカウンター2に対してのみ有効です。

2.3.12 すべてのモードに共通の操作

カウンターに制御バイトを書き込むと、制御ロジックがリセットされます。OUTは既知の状態になります。これには、CLKパルスは使用されません。

CLKパルスの立ち下がりエッジで、新しいカウントがロードされ、カウンターが減少し始めます。

カウンターは、0に達しても停止しません。モード0, 1, 4, 5の場合は、カウンターは最大カウント値に戻って、カウントを継続します。モード2, 3の場合は周期的です。カウンターは初期カウントを再ロードして、その値からカウントを継続します。

GATEは、CLKパルスの立ち上がりエッジでサンプリングされます。

図2-20は、カウンターの初期カウントの最大値と最小値を示します。

Mode	Min Count	Max Count
0	1	0 = 2^{16} (Binary Counting) or 10^4 (BCD Counting)
1	1	0 = 2^{16} (Binary Counting) or 10^4 (BCD Counting)
2	2	0 = 2^{16} (Binary Counting) or 10^4 (BCD Counting)
3	2	0 = 2^{16} (Binary Counting) or 10^4 (BCD Counting)
4	1	0 = 2^{16} (Binary Counting) or 10^4 (BCD Counting)
5	1	0 = 2^{16} (Binary Counting) or 10^4 (BCD Counting)

図　2-20. 初期カウントの最小値と最大値、カウンター0, 2

2.4 スピーカー

スピーカー制御用の回路とドライバーはシステム・ボードにあります。制御回路によって、スピーカーを3通りの方法でドライブすることができます。

- 直接プログラム制御レジスター・ビットをトグルして、パルス列を発生させることができます。
- プログラム制御のI/Oポート・ビットを用いてタイマーへのクロック入力を変調できます。
- タイマーのチャネル2からの出力をプログラム処理して、スピーカーへの波形を発生させることができます。

Channel 2	Tone
Gate 2	Controlled by I/O Port Bit 1
Clock In 2	1.190 MHz OSC
Clock Out 2	Used to drive speaker

図　2-21. スピーカー用の音程発生

3つの方法はすべて同時に実行することができます。(詳細については、2.3, 『システム・タイマー』を参照してください。)

2.5 数値演算プロセッサー（オプション）

オプションの数値演算プロセッサーを使用することによって、システムで高速の算術演算、論理演算、三角関数演算を実行することができます。この数値演算プロセッサーは、マイクロプロセッサーと並列に動作する数値演算プロセッサーです。したがって、数値演算プロセッサーが数学計算を行っている間にマイクロプロセッサーは他の機能を継続できるので、動作時間が低減できます。システムに適合する数値演算プロセッサーのタイプは使用するマイクロプロセッサーによって異なります。ここでは80286を使用したシステムに適合する80287の実現例を示しています。

数値演算プロセッサーは7つの数字データ・タイプで働きます。データ・タイプは次の3つに分類できます。

- 2進整数(3タイプ)
- 10進整数(1タイプ)
- 実数(3タイプ)

2.5.1 I/Oアドレス・マップ

Port Address (Hex)	Register Description
0F0	Reset Busy
0F1	Reset
0F2 - 0F7	Reserved
0F8	Function I/O
0F9	Reserved
0FA	Function I/O
0FB	Reserved
0FC	Function I/O
0FD - 0FF	Reserved

図　2-22. 数値演算プロセッサーのI/Oアドレス・マップ

2.5.2 ハードウェア・インターフェース

数値演算プロセッサーは、I/Oポート・アドレス00F8h, 00FAh, および00FChを介して、I/O装置として働きます。マイクロプロセッサーは、これらのI/Oポートを通じて、命令コードやオペランドを送り、結果を受け取ったり保管したりします。数値演算プロセッサー・ビジー信号は、数値演算プロセッサーが実行中であることをマイクロプロセッサーに知らせます。マイクロプロセッサーのWAIT命令は、数値演算プロセッサーが実行を終了するまでマイクロプロセッサーを強制的に待たせるためのものです。

数値演算プロセッサーは、命令の実行中に6種類の例外条件を検知します。数値演算プロセッサー内に該当の例外マスクがセットされていない場合は、数値演算プロセッサーがエラー信号をセットします。エラー信号はハードウェア割り込み(IRQ13)を生成し、その結果、数値演算プロセッサーに対するビジー信号がビジー状態になります。ビットD7～D0を0にセットした状態でアドレス00F0hに対して8ビットI/O書き込みコマンドを実行すると、ビジー信号がクリアーされます。この操作によって、IRQ13もクリアーされます。

システムROM内の電源投入自己テスト(POST)コードは、IRQ13をイネーブルし、ベクトルがROM内のルーチンを指し示すようにセットアップします。ROMルーチンはビジー信号ラッチをクリアーし、NMI割り込みベクトルが指し示すアドレスに制御を転送します。これによって、8087と80287/387等の両製品系列間での適合性が保たれます。NMI割り込みハンドラーは、数値演算プロセッサーの状況を読み取って、NMIを生成したのが数値演算プロセッサーであるかどうかを調べます。NMIが数値演算プロセッサーから出たものでなければ、もとのNMI割り込みハンドラーに制御が戻ります。

80287/80387等の数値演算プロセッサーには2つの動作モードがあります。これらの動作モードはマイクロプロセッサーの2つのモードに似ています。電源投入リセット、システム・リセット、またはI/O書き込み操作によってアドレス00F1hにリセットされると、数値演算プロセッサーは実アドレス・モードになります。実アドレス・モードは、IBM PC/XTなどで使用する8087数値演算プロセッサーとの適合性があります。SETPM ESC命令を実行すると、数値演算プロセッサーは保護モードになります。ビットD7～D0を0にセットしたアドレス00F1hに対するI/O書き込み操作を行うと、数値演算プロセッサーは実アドレス・モードに戻ります。

これらの実現法は使用するマイクロプロセッサーと数値演算プロセッサーにより異なります。詳細の情報は、使用する数値演算プロセッサーの資料等を参照してください。

システム・ボードI/Oコントローラー

第3章 システム・ボードI/Oコントローラー

3.1 キーボード/補助装置コントローラー

キーボード/補助装置コントローラーには、インテル**8042チップとの適合性が必要です。
PCオープン・アーキテクチャーでは補助装置はオプションです。したがって、補助装置コントローラーの機能はオプションですが、キーボード・コントローラー・インターフェースとの適合性を備えたシリアル入力装置用のコネクターを用意することにより、以下のようなものを接続することができます。

- マウス
- タッチ・パッド
- トラック・ボール

また本章で示す補助装置に対する記述は、PS/2における拡張部分であり、それとの互換性を実現するためのものです。この補助装置のインターフェースのアプリケーション・プログラムに対する互換性を維持するために、PCオープン・アーキテクチャーではプログラミング・インターフェースとしてBIOS割り込みINT33hを規定しています。詳細は、「DOS/Vマウス・ドライバー　技術解説編」を参照して下さい。

キーボード・コントローラーはシリアル・データを受け取り、パリティーを検査し、キーボード走査コードを変換し、そのデータをI/Oアドレス0060hで1バイト・データとしてシステムに与えます。このインターフェースは、データの準備が整った時点で割り込みを行うか、マイクロプロセッサーからのポーリングを待ちます。

I/Oアドレス0064hはコマンド/ステータス・ポートです。システムは、I/Oアドレス0064hを読み出すとき、キーボード・コントローラーからステータス情報を受け取ります。システムがこのポートに書き込みを行うと、キーボード・コントローラーはそのバイトをコマンドとして解釈します。

3.1.1 キーボード・コントローラーI/Oアドレス・マップ

Port Address(Hex)	Register Description
0060	Data Buffer
0064	Command Byte(Write), Status Byte(Read)

図 3-1. キーボード・コントローラーI/Oアドレス・マップ

3.1.2 キーボード・コントローラー・コマンド・バイトおよびステータス・バイト

キーボード・コントローラー・コマンド・バイト (0064h, 書き込み)

図3-2にキーボード・コントローラー・コマンド・バイトを示します。

Bit	Function
7	Reserved = 0
6	IBM Keyboard Translate Mode
5	IBM Personal Computer Mode or Disable Auxiliary Device*
4	Disable Keyboard
3	Reserved = 0
2	System Flag
1	Reserved = 0 or Enable Auxiliary Interrupt*
0	Enable Keyboard Interrupt

図 3-2. コントローラー・コマンド・バイト

* PS/2*の補助装置との互換を実現するときにはこの定義に従います。

ビット7 予約済み。

ビット6 このビットが1にセットされると、コントローラーは入力された走査コードを走査コード・セット1に変換します。このビットが0にセットされると、コントローラーはキーボード走査コードを変換せずにそのまま渡します。デフォルトは走査コード・セット2です。

ビット5 このビットを1が書き込まれると、IBM Personal Computerのキーボード・インターフェースになります。このモードではパリティのチェックもコード変換もされません。
または、
*このビットに1が書き込まれると、クロック信号線を低レベルにして、補助装置インターフェースをディセーブルします。データは送信も受信もされません。

ビット4 このビットに1が書き込まれると、クロック信号機を低レベルにして、キーボード・インターフェースをディセーブルします。ディセーブルされている間はデータは受信できません。

ビット3 予約済み。

ビット2 このビットに書き込まれる値は、コントローラー・ステータス・レジスターのシステム・フラグ・ビットに置かれます。

ビット1 予約済み
　または、
*このビットに1が書き込まれると、コントローラーは、補助装置のデータを出力バッファーに置くとき割り込み(IRQ12)を生成します。

ビット0 このビットに1が書き込まれると、コントローラーは、キーボードのデータを出力バッファーに置くとき割り込み(IRQ1)を発生します。

キーボード・コントローラー・ステータス・バイト (0064h, 読み出し)

図3-3にキーボード・コントローラー・ステータス・バイトを示します。

Bit	Function
7	Parity Error
6	General Time Out
5	Transmit Time Out or Auxiliary Output Buffer Full*
4	Inhibit Switch
3	Command/Data
2	System Flag
1	Input Buffer Full
0	Output Buffer Full

図　3-3. キーボード・コントローラー・ステータス・バイト、ポート0064h読み出し

* PS/2*の補助装置との互換を実現するときには、この定義に従います。

入力バッファー

入力バッファー（0060h）は8ビットの書き込み専用レジスターです。入力バッファーへの書き込みが行われると、データが書き込まれたことを示すフラグがセットされます。キーボード・コントローラー・コマンドのあとにデータ・バイトが続くことをコントローラーが予期している場合を除き、入力バッファーに書き込まれたデータはキーボードに送られます。キーボード・コントローラー入力バッファーにデータが書き込まれるのは、入力バッファー・フル・ビット（ビット1）が0である場合だけです。

出力バッファー

出力バッファー（0060h）は8ビットの読み出し専用レジスターです。出力バッファーの読み出しが行われると、キーボード・コントローラーは情報をシステム・マイクロプロセッサーに送ります。この情報は、キーボードからの走査コード、補助装置からのデータ、またはシステム・マイクロプロセッサーからのコマンドの実行結果のデータ・バイトです。

入力ポートと出力ポート

入力ポートの定義はPC/AT*とPS/2*では異なっています。PS/2*と互換の補助装置を実現する場合はPS/2*の入力ポートのビット1の定義に従います。出力ポートは、コントローラーによってキーボードやシステム・インターフェースへドライブされる8つの信号より成っています。

次の図は、入力ポートと出力ポート・バイトを表します。

Bit	Function
7	Keyboard Inhibit Switch
6	Display Switch
5	Manufacturing Jumper
4	RAM on the System Board
3 - 0	Reserved

図　3-4. PC/AT*の入力ポートのビット定義

ビット7　このビットが1ならばキーボードは入力禁止状態です。

ビット6　このビットが0ならばディスプレイ・スイッチがカラー／グラフィック　アダプターになっています。

ビット5　このビットが0ならばジャンパーは結線状態です。

ビット4　このビットが0ならばシステムボード上のRAMの512KBがイネーブルされています。1のときには256KBがイネーブルされています。

ビット3〜0 予約済み

Bit	Function
7 - 2	Reserved = 0
1	Auxiliary Data In
0	Keyboard Data In

図　3-5. PS/2*の入力ポートのビット定義

ビット7〜2 予約済み

ビット1　補助装置によってドライブされるデータ信号線の状態を反映しています。

ビット0　キーボードによってドライブされるデータ信号線の状態を反映しています。

Bit	Function
7	Keyboard Data Out
6	Keyboard Clock Out
5	Input Buffer Empty or IRQ12*
4	IRQ1
3	Reserved or Auxiliary Clock Out*
2	Reserved or Auxiliary Data Out*
1	Gate Address Line 20
0	Reset Microprocessor

図　3-6. 出力ポートのビット定義

* PS/2*と互換の補助装置を実現する場合、この定義に従います。

ビット7　コントローラーによってキーボードへドライブされるデータ信号線の状態を反映しています。

ビット6　コントローラーによってキーボードへドライブされるクロック信号線の状態を反映しています。

ビット5　このビットが1ならば、入力バッファーのデータが空であることを示します。
または、
*このビットが1ならば、補助装置から出力バッファーに入ったデータによって、割り込みが生成されたことを示します。システムがアドレス0060hからデータを読み出すと、このビットは0にセットされます。

ビット4　このビットが1ならば、キーボードから出力バッファーに入ったデータやコマンドによって、割り込みが生成されたことを示します。システムがアドレス0060hからのデータを読み出すと、このビットは0にセットされます。

ビット3　予約済み
または、
*コントローラーによって補助装置へドライブされるクロック信号線の状態を反映しています。

ビット2　予約済み
または、
*コントローラーによって補助装置へドライブされるデータ信号線の状態を反映しています。

ビット1 このビットが0の場合、システム・アドレス線A20は0にセットされます。これによって、1MB以上へのメモリー・アクセスは低位メモリーに巡還します。このビットは、電源投入時に1にセットされます。
PS/2*では、アドレス線A20はI/Oアドレス92hのビット1とともにコントロールされます。このビットとアドレス92hのビット1を0にしたとき、アドレス線A20は0にセットされます。

ビット0 このビットは、キーボードによってドライブされたデータ線の状態を反映しています。このビットを0にセットすると、システム・マイクロプロセッサーをリセットします。

キーボード・コントローラー・コマンド

コマンドは、I/Oアドレス0064hを介してコントローラーに書き込まれる1つのバイトです。キーボード・コントローラー・コマンドとして認識される16進値には次のものがあります。
PCオープン・アーキテクチャーでは、コマンドA7, A8, A9, C1, C2, D2, D3およびD4（*印）はPS/2*での拡張機能です。

20〜3F **コントローラーRAM読み出し**–このコントローラーは、このコマンドのビット5〜0で指定された内部アドレスにあるデータを返します。内部アドレス20は、コントローラー・コマンド・バイトに割り当てられています。コマンド16進20はコントローラー・コマンド・バイトの読み出しを要求します。データはコントローラーによってポート0060hに出力されます。

60〜7F **キーボード・コントローラーRAM書き込み**– D5〜D0はアドレスを指定します。

60 **キーボード・コントローラー・コマンド・バイト書き込み**– キーボード・コントローラーは、I/Oアドレス0060hに書き込まれた次のバイトのデータをコマンド・バイトに置きます。

A7* **補助装置インターフェース・ディセーブル**–このコマンドは、キーボード・コントローラー・コマンド・バイトのビット5を1にセットします。これは、クロック信号線を低レベルにすることによって補助装置インターフェースをディセーブルします。データは送信も受信もされません。

A8* **補助装置インターフェース・イネーブル**–このコマンドはキーボード・コントローラーのビット5を0にクリアーすることによって、補助装置インターフェースをイネーブルします。

A9* **補助装置インターフェース・テスト**–このコマンドは、キーボード・コントローラーに補助装置のクロック信号線とデータ信号線のテストを行わせます。テスト結果は、図3-7に示すように出力バッファー（I/Oアドレス0060hおよびIRQ1）に置かれます。

Test Result (hex)	Meaning
00	No error was detected.
01	Auxiliary device clock line is stuck low.
02	Auxiliary device clock line is stuck high.
03	Auxiliary device data line is stuck low.
04	Auxiliary device data line is stuck high.

図　3-7. コマンドA9のテスト結果

AA　**自己テスト**–このコマンドは、コントローラーに内部診断テストを行わせます。エラーが検出されなければ、出力バッファー（I/Oアドレス0060h）に55hが置かれます。

AB　**キーボード・インターフェース・テスト**–このコマンドは、コントローラーにキーボードのクロック信号線とデータ信号線のテストを行わせます。テスト結果は、図3-8に示すように出力バッファー（I/Oアドレス0060hおよびIRQ1）に置かれます。

Test Result (hex)	Meaning
00	No error was detected.
01	Keyboard clock line is stuck low.
02	Keyboard clock line is stuck high.
03	Keyboard data line is stuck low.
04	Keyboard data line is stuck high.

図　3-8. コマンドABのテスト結果

AC　**予約済み**

AD　**キーボード・インターフェース・ディセーブル**–このコマンドは、キーボード・コントローラー・コマンド・バイトのビット4を1にセットします。これは、クロック信号線を低レベルにすることによってキーボード・インターフェースをディセーブルします。データは送信も受信もされません。

AE　**キーボード・インターフェース・イネーブル**–このコマンドは、キーボード・コントローラー・コマンド・バイトのビット4を0にクリアーすることによって、キーボード・インターフェースをイネーブルします。

C0　**入力ポート読み出し**–このコマンドはキーボード・コントローラーに入力ポートを読み取らせ、そのデータを出力バッファー（0060h）に置きます。このコマンドは出力バッファーが空の場合にのみ使用されます。

C1*　**入力ポート低位ポール**–ポート1のビット0〜3をステータス・ビット4〜7に置きます。

C2*　**入力ポート高位ポール**–ポート1のビット4〜7をステータス・ビット4〜7に置きます。

D0 **出力ポート読み出し**–このコマンドはコントローラーに出力ポートを読み取らせ、そのデータを出力バッファー（0060h）に置かせます。このコマンドは出力バッファーが空の場合にのみ使用されます。

D1 **出力ポート書き込み**– I/Oアドレス0060hに書き込まれる次のデータ・バイトがキーボード・コントローラーの出力ポートに置かれます。

注: キーボード・コントローラー出力ポートのビット0はシステム・リセットに接続されています。このビットを0にセットしてはなりません。

D2* **キーボード出力バッファー書き込み**–入力バッファー（0060h）に書き込まれる次のバイトが、あたかもキーボードから発したかのように、出力バッファー(0060h）に書き込まれます。コマンド・バイト内で割り込みがイネーブルされていれば、割り込みが発生します。

D3* **補助装置出力バッファー書き込み**–入力バッファー（0060h）に書き込まれる次のバイトが、あたかも補助装置から発したかのように、出力バッファー(0060h）に書き込まれます。コマンド・バイト内で割り込みがイネーブルされていれば、割り込みが発生します。

D4* **補助装置への書き込み**–入力バッファー（0060h）に書き込まれる次のバイトが補助装置に送信されます。

E0 **テスト入力読み出し**–このコマンドは、キーボード・コントローラーに、Test 0に入力されるキーボード・クロックおよびTest 1に入力される補助装置クロックを読み取らせます。このデータは出力バッファーに置かれます。データ・ビット0はTest 0を表し、データ・ビット1はTest 1を表します。

F0〜FF **出力ポート・パルス**–キーボード・コントローラー出力ポートのビット0〜3に約6マイクロ秒間の低レベルのパルスを発生させます。このコマンドのビット0〜3は、どのビットにパルスを発生させるのかを示します。0はそのビットにパルスを発生させることを示し、1はそのビットを変更しないことを示します。

注: キーボード・コントローラー出力ポートのビット0はシステム・リセットに接続されています。このビットをパルスすると、システム・マイクロプロセッサーがリセットされます。

3.1.3 キーボードと補助装置のプログラミング上の考慮点

以下に、キーボード/補助装置コントローラーに関するプログラミング上の考慮点をいくつか示します。

- ステータス・レジスター（I/Oアドレス0064h）はいつでも読み出しが可能です。
- 出力バッファー（I/Oアドレス0060h）の読み出しは、ステータス・レジスターの出力バッファー・フル・ビット（ビット0）が1のときに限られます。
- ステータス・レジスターの補助装置出力バッファー・フル・ビット（ビット5）は、出力バッファー（0060h）内のデータが補助装置から来たものであることを示します。このビットは、出力バッファー・フル・ビット（ビット0）が1の場合に限り有効です。

- 出力バッファー（0060h）およびステータス・レジスター（0064h）の書き込みは、入力バッファー・フル（ビット1）および出力バッファー・フル（ビット0）が0である場合に限られます。
- キーボード・コントローラーに接続している補助装置は、出力を生成するコマンドの開始前にディセーブルされていなければなりません。出力が生成されると、出力バッファーの中の値は重ね書きされます。

3.1.4 補助装置とシステムのタイミング

PS/2と互換の補助装置を実現する場合、補助装置コネクターへの（またはそこからの）送信は、データ信号線上で直列転送される11ビットのデータ・ストリームから成ります。図3-9に各ビットの機能を示します。

Bit	Function
11	Stop Bit (always 1)
10	Parity Bit (odd parity)
9	Data Bit 7 (most-significant)
8	Data Bit 6
7	Data Bit 5
6	Data Bit 4
5	Data Bit 3
4	Data Bit 2
3	Data Bit 1
2	Data Bit 0 (least-significant)
1	Start Bit (always 0)

図　3-9. 補助装置データ・ストリームのビット定義

パリティ・ビットは1または0です。8個のデータ・ビットにパリティ・ビットを加えた合計9ビットに1の値を持つビットが常に奇数個あります。

システム受信データ

以下に、システムが補助装置からデータを受信するときに発生するイベントの一般的な順序を説明します。3-12ページの図3-10はこのタイミング関係を図示したものです。

1. 補助装置がクロック信号線を検査します。この信号線がインアクティブならば、その補助装置からの出力は許されません。
2. 補助装置がデータ信号線を検査します。この信号線がインアクティブならば、その補助装置はシステムからのデータを受信します。
3. 送信中、補助装置が100マイクロ秒以内の間隔で周期的にクロック信号線を検査します。システムがクロック信号線をインアクティブ状態に保持している場合は、送信が終了します。システムは、最初の10クロック・サイクルの間にいつでも送信を終了できます。

4. 10番目のクロックのあと少なくとも5マイクロ秒以内に、送信が終了しているかどうかの最後の検査が行われます。

5. システムは、次の送信を禁止するためにクロック信号線をインアクティブに保つことができます。

6. システムは、装置に送るデータがあるときはデータ信号線をインアクティブにセットします。スタート・ビット（常に0）はデータ信号線をインアクティブにセットします。

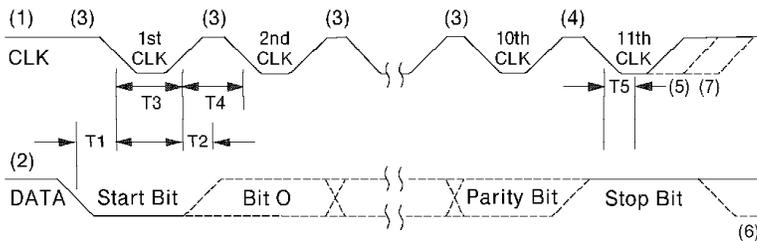
7. 次の送信を可能にするためにシステムがクロック信号線を上げます。

	Timing Parameter	Min/Max (microseconds)
T1	Time from DATA transition to falling edge of CLK	5 / 25
T2	Time from rising edge of CLK to DATA transition	5 / T4 - 5
T3	Duration of CLK inactive	30 / 50
T4	Duration of CLK active	30 / 50
T5	Time to auxiliary device inhibit after clock 11 to ensure the auxiliary device does not start another transmission	>0 / 50

図　3-10. 受信データのタイミング

システム送信データ

以下に、システムが補助装置にデータを送信するときに発生するイベントの一般的な順序を説明します。3-13ページの図3-11はこのタイミング関係を示したものです。

1. システムが、補助装置の送信が処理中かどうかを検査します。送信処理中でしかも10番目のクロックを超えている場合は、システムはデータを受信します。

2. 補助装置がクロック信号線を検査します。この信号線がインアクティブならば、I/O操作は許されません。

3. 補助装置がデータ信号線を検査します。この信号線がインアクティブならば、システムは送信を要するデータを持っています。スタート・ビット（常に0）はデータ信号線をインアクティブにセットします。

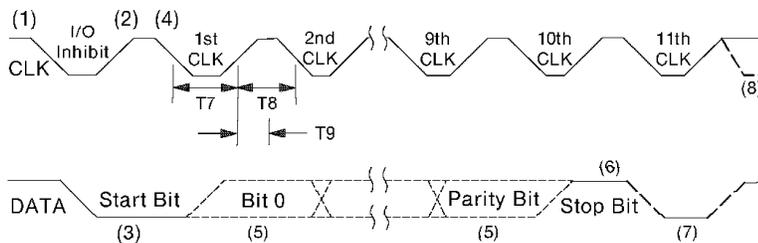
4. 補助装置がクロック信号線をインアクティブにセットします。次に、システムが最初のビットをデータ信号線に載せます。補助装置がクロック信号線をインアクティブにセットするたびに、システムは次のビットをデータ信号線に載せます。すべてのビットの送信が終わるまでこれが繰り返されます。
5. クロック信号線がアクティブの状態にある間、補助装置が各ビットごとにデータ信号線をサンプリングします。データは、クロック信号線の立上がりエッジから1マイクロ秒以内に安定した状態になります。
6. 10番目のクロックのあとで、補助装置が高レベルのストップ・ビットを検査します。データ信号線がインアクティブならば、補助装置は、データ信号線がアクティブになるまでクロックを続行し、回線制御ビットを検査し、次の機会にRESENDコマンドをシステムに送ります。
7. 補助装置がデータ信号線をインアクティブにセットして、回線制御ビットを生成します。
8. システムは、クロック信号線をインアクティブにセットすることで補助装置を禁止することができます。

	Timing Parameter	Min/Max (microseconds)
T7	Duration of CLK inactive	30 / 50
T8	Duration of CLK active	30 / 50
T9	Time from inactive to active CLK transition, used to time when the auxiliary device samples DATA	5 / 25

図　3-11. 送信データのタイミング

3.1.5 信号

キーボードおよび補助装置の信号は、オープン・コレクター・ドライバーによってドライブされ、プルアップ・レジスターを介して5Vdcにプルアップされています。図3-12はこれらの信号の特性を示しています。

Signal		
Sink Current	20 mA	Maximum
High-level Output Voltage	+5.0 V dc minus pullup	Minimum
Low-level Output Voltage	+0.5V dc	Maximum
High-level Input Voltage	+2.0 V dc	Minimum
Low-level Input Voltage	+0.8 V dc	Maximum

図　3-12. キーボード/補助装置の信号

3.2 ビデオ・サブシステム

ビデオ・サブシステムは、ビデオ・コントローラー、ビデオ・メモリー（ROMおよびRAM)、およびビデオ・クロックによって構成されます。

注: この技術解説書以外の情報に基づいてビデオ・システムを使用した場合、将来互換性についての問題が生じる可能性があるので、ご注意ください。

3.2.1 ビデオ・コントローラー

システム・ビデオは、ビデオ・グラフィック・アレー（VGA）とそれに結合した回路によって生成されます。この回路は、ビデオ・メモリーおよびビデオ・デジタル/アナログ・コンバーター（DAC）から成っています。ビデオ・メモリーは256KBで、各64KBのメモリー・マップ4個で構成されています。ビデオDACからの赤緑青（RGB）の出力は、31.5kHzの水平偏向によりアナログ・ディスプレイをドライブします。

ビデオ・サブシステムでサポートされているビデオ・モードは、サポートされているすべてのアナログ・ディスプレイで使用できます。モノクロ・アナログ・ディスプレイを使用しているときは、カラーは明度の違いで表されます。

サポートされるビデオ・モードは図3-16を参照して下さい。

さらに、200走査線モードはすべてビデオ・システムにより2重走査されるので、ディスプレイ上には400本の走査線として表示されます。

VGAは、システム・マイクロプロセッサーとビデオ・メモリとの間のインターフェースとして働きます。システム・マイクロプロセッサーがビデオ・メモリーを対象として読み書きを行うときは、すべてのデータがVGAを通過します。VGAは、システム・マイクロプロセッサーと、VGAに組み込まれているCRT(Cathode-Ray-Tube)コントローラーからビデオ・メモリーへのアクセスを制御します。従ってプログラムは、ディスプレイ・バッファーを更新するために水平帰線を待つ必要はありません。

ビデオ・メモリーのアドレス指定はVGAにより制御されます。従来のビデオ・アダプターとの適合性を確保するために、ビデオ・メモリーの開始アドレスとして3種類の開始アドレスがプログラミングできます。BIOSは、ビデオ・モードをセットするときに適宜にVGAをプログラミングします。

英数字モードでは、システム・マイクロプロセッサーは、ASCII文字コードと属性データをそれぞれビデオ・メモリー・マップ0と1に書き込みます。キャラクター・ジェネレーターはビデオ・マップ2に記憶され、英数字ビデオ・モードをセットするときにBIOSによってロードされます。BIOSは、キャラクター・ジェネレーター・データ（フォント文字セット）をシステムROMからダウンロードします。このフォントは8 x 16の文字フォントです。ビデオ・メモリー・マップ2には、一度に8つまでの256文字フォントがロードできます。ユーザー定義のフォントをロードするためのBIOSインターフェースが1つ用意されています。したがって、一度に512文字を画面に表示できます。3-59ページの『文字マップ選択レジスター』および3-94ページの『RAMロード可能キャラクター・ジェネレーター』を参照してください。

I/Oコントローラー、ビデオ・サブシステム

VGAはビデオ・メモリー内の情報を8ビットのデジタル値にフォーマットしてビデオDACに送ります。この8ビットの値を使って、ビデオDAC内の最大256個のレジスターにアクセスできます。たとえば2色グラフィックス・モードでは、2種の8ビットの値がビデオDACに与えられます。256色グラフィックス・モードでは、256種の8ビット値がビデオDACに与えられます。ビデオDAC内の各レジスターには、256,000余りの色の範囲から選択した色の値が1つずつ入っています。

ビデオDACは、ディスプレイ・コネクターに送る3つのアナログ・カラー信号（赤、緑、青）を出します。モノクロ・アナログ・ディスプレイでは、緑のアナログ出力だけが使用されます。この出力によってディスプレイ上での明度が決まります。

ビデオ・サブシステムに接続できるのは31.5kHzの直接駆動アナログ・ディスプレイだけです。

英文モードでは、VGAをイネーブルまたはディセーブルするBIOS呼び出しが用意されています。ディセーブルは、ビデオ・メモリーやI/Oの読み書き操作にVGAが応答しないことを意味します。レジスターおよびビデオ・メモリーの中には、ディセーブルの呼び出しの時点での値が保持されています。したがって、ディセーブルの前にビデオ出力を生成していた場合は、VGAは有効なビデオ出力の生成を続行することができます。

他のハードウェアとの最大限の適合性を確保するためには、可能な限りBIOSインターフェースを使用するようにしてください。ある適用業務でVGAへの直接書き込みが必要な場合は、次の規則に従ってください。

- アドレス・レジスターをプログラミングするときは、他のハードウェアとの最大限の適合性を確保するには、現在予約済みのすべてのビットを0にセットします。
- データ・レジスターをプログラミングするときは、他のハードウェアとの最大限の適合性を確保するには、現在予約済みのすべてのビットを未変更のままで読み出して書き戻します。

従来のビデオ・アダプターでは、接続しているディスプレイに対応するビデオ・モードを使用する必要がありました。たとえば、IBM拡張グラフィック・アダプター（EGA)の場合、モード3hの実行には拡張カラー・ディスプレイの接続が必要であり、モード7hの実行にはモノクロ・ディスプレイの接続が必要でした。VGAがサポートするモードは、すべてIBM 31.5kHz直接駆動アナログ・ディスプレイでもサポートされています。モノクロ・アナログ・ディスプレイが接続されている場合は、カラーは明度の違いで表されます。システム・ボード上の回路が、接続されているアナログ・ディスプレイのタイプ（カラーかモノクロか）を判別します。BIOSは、各種カラーを明度にマッピング（対応）します。

3-17ページの図3-13に、システム・ボード上でのビデオ・サブシステムのブロック図を示します。

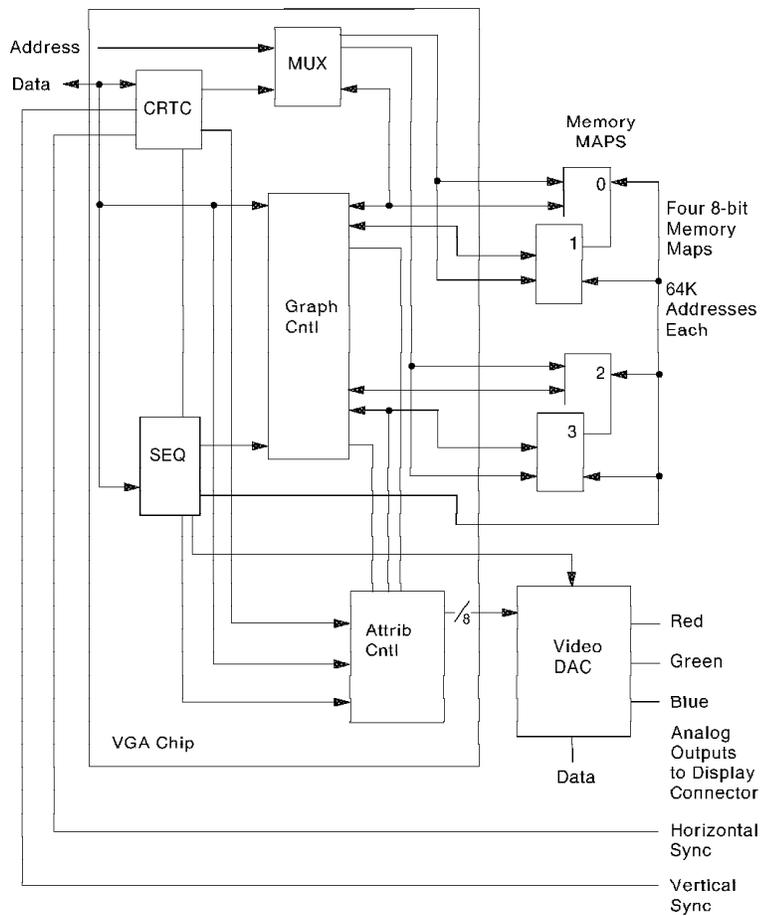



図　3-13. ビデオ・サブシステムのブロック図

3.2.2 BIOS ROM

ビデオBIOSはソフトウェア・サポートを提供します。ROM BIOSには、キャラクター・ジェネレーターと、ビデオ・サブシステムの実行のための制御コードとが含まれています。

3.2.3 サポート論理回路

ドット・レートを設定するクロック・ソースは2つあります（25.175MHzおよび28.322MHz）。クロック・ソースは、多目的出力レジスターにより選択されます。これは、モード設定のときにBIOSにより選択されます。

デジタル・ビデオ出力はビデオ・デジタル・アナログ・コンバーター（DAC）に送られます。DACにはカラー探索テーブルが含まれています。DACからは3つのアナログ信号（赤、緑、青）が出力され、ディスプレイに送られます。（3-20ページの『属性コントローラー』を参照。）モニターへの同期信号はTTLレベルです。アナログ・ビデオ信号は0〜0.7ボルトです。

最大表示色数は256,000のうちの16色ですが、モード13hの場合は256,000のうちの256色の表示が可能です。明度の最大表示数は64のうちの16段階ですが、モード13hでは64段階のすべてが表示可能です。

3.2.4 VGAの構成部品

VGAのほとんどの論理回路が1つのモジュールに組み込まれています。このモジュールは、ビデオ・メモリー用のタイミングを生成するのに必要なすべての回路を備えていて、ビデオDACに送られるビデオ情報を生成します。

ビデオ・グラフィックス・アレーには主な構成部品が5つあります。

- ディスプレイ・コントローラー
- シーケンサー
- グラフィックス・コントローラー
- 属性コントローラー
- ビデオDAC

ディスプレイ・コントローラー

ディスプレイ・コントローラーは、水平および垂直同期タイミング、再生バッファーのアドレス、カーソルと下線のタイミング、およびビデオ・メモリーのリフレッシュ・アドレスを生成します。

シーケンサー

シーケンサーは、ビデオ・メモリーの基本メモリー・タイミング、および再生メモリー・フェッチ制御のための文字クロックを生成します。シーケンサーは、表示メモリー・サイクルの間に定期的にシステム・マイクロプロセッサー専用メモリー・サイクルを挿入することで、アクティブな表示間隔の間にシステム・マイクロプロセッサーがメモリーにアクセスできるようにします。メモリー・マップ全体が変更されるのを防ぐためにマップ・マスク・レジスターが使えます。

グラフィックス・コントローラー

グラフィックス・コントローラーは、アクティブな表示のときはビデオ・メモリーと属性コントローラーとの間のインターフェースであり、ビデオ・メモリーの読み書きのときはビデオ・コントローラーとシステム・マイクロプロセッサーとの間のインターフェースとなります。表示のときには、メモリー・データはラッチされ属性コントローラーに送られます。APA(All Point Addressable)グラフィック・モードでは、パラレル・メモリー・データはシリアル・ビット・プレーン・データに変換されてから送られます。英数字（Alphanumeric：A/N）モードでは、パラレル属性データがそのまま送られます。システム・マイクロプロセッサーがビデオ・メモリーを対象として書き込みまたは読み出し操作をしているとき、データがビデオ・メモリーに到達する前（書き込み操作の場合）、またはデータがシステム・マイクロプロセッサーのデータ・バスに到達する前に（読み出し操作の場合）、グラフィックス・コントローラーはそのデータに論理操作を施すことができます。これらの論理操作によって、たとえば読み出しモードでの色比較、書き込みモードでの個別ビット・マスキング、単一のメモリー・サイクルでの32ビット書き込み、およびバイト境界なしのディスプレイ・バッファーへの書き込みなど、機能強化された操作が可能になります。

図3-14はグラフィックス・コントローラーのブロック図です。

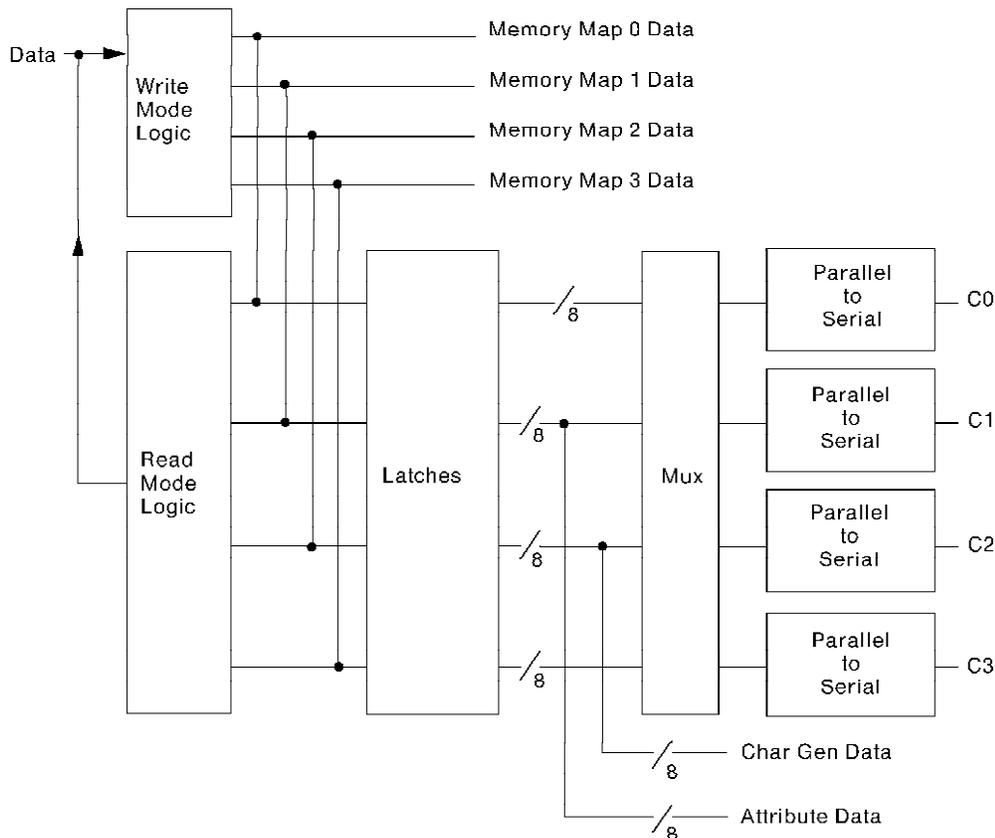



図　3-14. グラフィックス・コントローラーのブロック図

属性コントローラー

属性コントローラーはグラフィックス・コントローラーを介してビデオ・メモリーからデータを取り込み、そのデータを表示用にフォーマットします。A/Nモードで入力された属性データ、およびAPAグラフィック・モードでの直列化されたビット・プレーン・データは、8ビットの出力デジタル・カラー値に変換されます。各出力カラー値は、64色から成る内部カラー・パレットから選択されます（256色モードでは内部パレットはBIOSがセットする）。出力カラー値はDACに送られ、そこで18ビットのカラー・レジスターの1つを表すレジスターとして使用されます。そのレジスターの値は、ディスプレイを駆動する3つのアナログ信号に変換されます。属性コントローラーは、明滅、下線付け、カーソル挿入、およびPEL(Picture Element)のパニングも制御します。

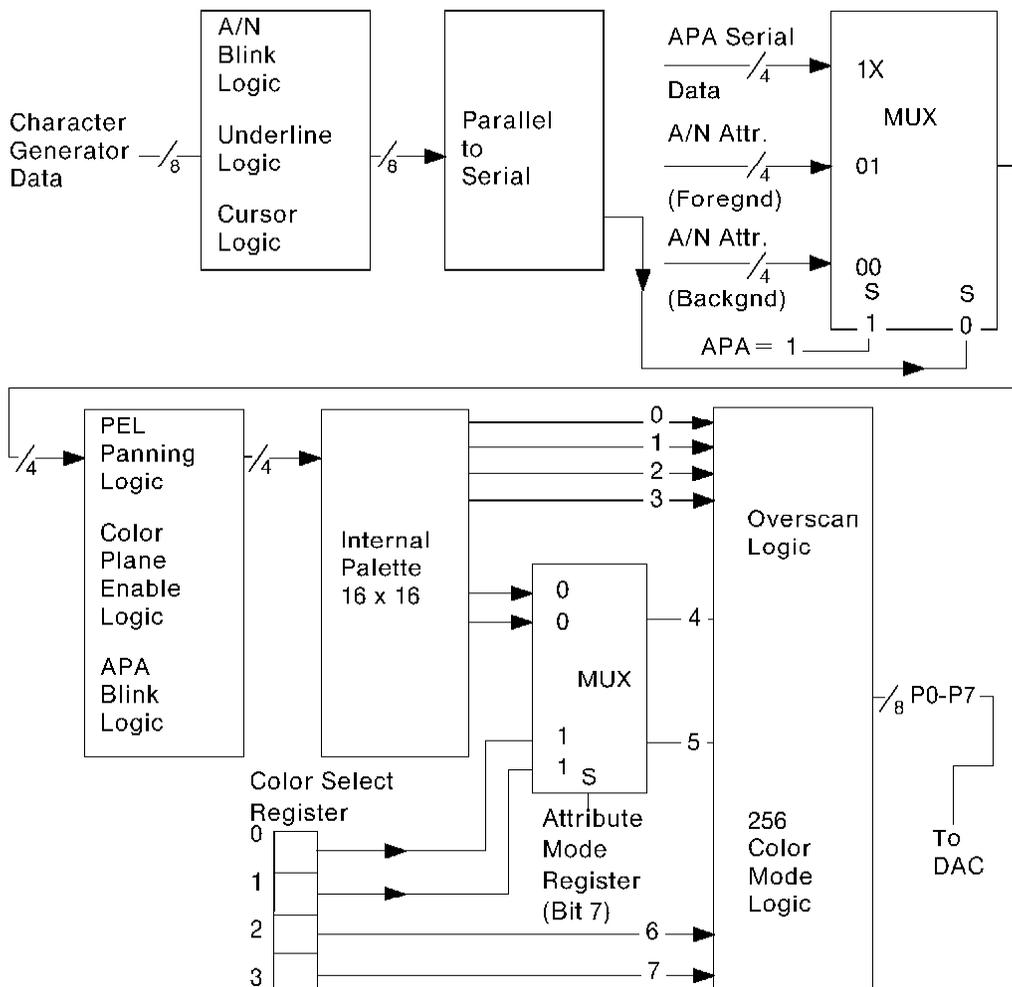



図　3-15. 属性コントローラーのブロック図

3.2.5 動作モード

図3-16は、IBM 31.5kHz直接駆動アナログ・ディスプレイおよびモノクロ・ディスプレイでBIOSがサポートしているモードを示しています。これらのモードはDOS/Vの英文モードで有効です。日本語モードでサポートするビデオモードについては、「DOS/V BIOSインターフェース技術解説編」を参照してください。

Mode (hex)	Type	Colors	Alpha Format	Buffer Start	Box Size	Max. Pgs.	Freq.	Vert. PELS
0, 1	A/N	16	40 x 25	B8000	8 x 8	8	70 Hz	320 x 200
2, 3	A/N	16	80 x 25	B8000	8 x 8	8	70 Hz	640 x 200
0*, 1*	A/N	16	40 x 25	B8000	8 x 14	8	70 Hz	320 x 350
2*, 3*	A/N	16	80 x 25	B8000	8 x 14	8	70 Hz	640 x 350
0#, 1#	A/N	16	40 x 25	B8000	8 x 16	8	70 Hz	320 x 400
2#, 3#	A/N	16	80 x 25	B8000	8 x 16	8	70 Hz	640 x 400
0+, 1+	A/N	16	40 x 25	B8000	9 x 16	8	70 Hz	360 x 400
2+, 3+	A/N	16	80 x 25	B8000	9 x 16	8	70 Hz	720 x 400
4, 5	APA	4	40 x 25	B8000	8 x 8	1	70 Hz	320 x 200
6	APA	2	80 x 25	B8000	8 x 8	1	70 Hz	640 x 200
7	A/N	-	80 x 25	B0000	9 x 14	8	70 Hz	720 x 350
7*	A/N	-	80 x 25	B0000	8 x 14	8	70 Hz	640 x 350
7#	A/N	-	80 x 25	B0000	8 x 16	8	70 Hz	640 x 400
7+	A/N	-	80 x 25	B0000	9 x 16	8	70 Hz	720 x 400
D	APA	16	40 x 25	A0000	8 x 8	8	70 Hz	320 x 200
E	APA	16	80 x 25	A0000	8 x 8	4	70 Hz	640 x 200
F	APA	-	80 x 25	A0000	8 x 14	2	70 Hz	640 x 350
10	APA	16	80 x 25	A0000	8 x 14	2	70 Hz	640 x 350
11	APA	2	80 x 30	A0000	8 x 16	1	60 Hz	640 x 480
12	APA	16	80 x 30	A0000	8 x 16	1	60 Hz	640 x 480
13	APA	256	40 x 25	A0000	8 x 8	1	70 Hz	320 x 200

* Enhanced modes (EGA)
\+ Enhanced modes (VGA)
\# Enhanced modes (VGA with 8 x 16 dots)

図 3-16. BIOSビデオ・モード

カラー・ディスプレイを使用しているときは、各色は256,000色余りのパレットから選択されます。

モノクロ・ディスプレイを使用しているときは、色は灰色の明暗で表されます。各明度は32種の明度のパレットから選択されます。

モード0h～6hは、IBMカラー/グラフィックス・モニター・アダプター(CGA)が提供する機能をエミュレートします。

モード0h, 2h, および4hは、それぞれモード1h, 3h, および5hと同じです。システムにアナログ・カラー・ディスプレイが接続されている場合のデフォルト・モードは3+hです。システムにアナログ・モノクロ・ディスプレイが接続されている場合のデフォルト・モードは7+hです。

モード7hは、IBMモノクロ・ディスプレイ・アダプター(MDA)が提供する機能をエミュレートします。

モード0h*, 1h*, 2h*, 3h*, Dh, Eh, Fh, および10hは、IBM拡張グラフィックス・アダプター(EGA)が提供する機能をエミュレートします。

2重走査は、各水平走査線を2回ずつ表示することを意味します。これは、200走査線モードの場合に400本の走査線を表示するために使用されます。ボーダー（画面の縁）のサポートは選択したBIOSモードによって決まります。図3-17は2重走査およびボーダー・サポートを示しています。

Mode (hex)	Double Scan	Border Support	Mode (hex)	Double Scan	Border Support
0, 1	Yes	No	7*	No	Yes
2, 3	Yes	Yes	7#	No	Yes
0*, 1*	No	No	7+	No	Yes
2*, 3*	No	Yes	D	Yes	No
0#, 1#	No	No	E	Yes	Yes
2#, 3#	No	Yes	F	No	Yes
0+, 1+	No	No	10	No	Yes
2+, 3+	No	Yes	11	No	Yes
4, 5	Yes	No	12	No	Yes
6	Yes	Yes	13	Yes	Yes
7	No	Yes			

* Enhanced modes (EGA)
\+ Enhanced modes (VGA)
\# Enhanced modes (VGA with 8 x 16 dots)

図　3-17. BIOSの2重走査とボーダー・サポート

3.2.6 ディスプレイのサポート

ビデオ・サブシステムには、水平掃引周波数31.5kHzの直接駆動アナログ・ディスプレイが接続できます。このタイプのディスプレイは垂直掃引周波数が毎秒60～70サイクルであり、ほとんどのモードで高度の色彩と鮮明度が得られ、ちらつきが抑制されます。その他のIBMディスプレイは、デジタル・インターフェースを備えているかまたは水平および垂直の掃引周波数が異なるので、使用できません。図3-18はアナログ・ディスプレイの特性をまとめたものです。

Parameter	Color	Monochrome
Horizontal Scan Rate	31.5 kHz	31.5 kHz
Vertical Scan Rate	50 to 70 Hz	50 to 70 Hz
Video Bandwidth	28 MHz	28 MHz
Displayable Colors*	256/256 k Maximum	64/64 Shades of Gray
Maximum Horizontal Resolution	720 PELs	720 PELs
Maximum Vertical Resolution	480 PELs	480 PELs
* Controlled by Video Circuit.		

図　3-18. IBM 31.5kHz直接駆動アナログ・ディスプレイ

カラー・ディスプレイとモノクロ・ディスプレイは同じ掃引レートで動作するので、どちらのタイプでもすべてのモードが働きます。ディスプレイの垂直サイズは、垂直同期パルスと水平同期パルスの極性によって制御されます。したがって、ディスプレイを調節しなくても350本、400本、または480本の走査線が表示できます。3-100ページの3.2.19、『ディスプレイ・コネクター・タイミング（SYNC信号）』を参照してください。

3.2.7 英数字モード

この節では、ビデオ・サブシステムおよびBIOSがサポートしている英数字モードについて説明します。この節に示す色は、BIOSを用いてモードをセットしたときに生成されるものであるという点に注意してください。BIOSは、これらの色を生成するためにビデオ・サブシステムおよびビデオDACパレットを初期化します。ビデオDACパレットが変われば、別の色が生成されます。

英数字モードは、モード0h～3h, および7hです。モード一覧表にこれらのモードのバリエーションを列挙してあります。英数字モードの場合のデータ・フォーマットは、IBMカラー/グラフィック・モニター・アダプター、IBMモノクロ・ディスプレイ・アダプター、およびIBM拡張グラフィック・アダプター（EGA）でのデータ・フォーマットと同じです。EGAの場合と同様に、属性バイトのビット3を文字マップ選択レジスターにより再定義することによって、そのビットを文字セット間の切り替えスイッチとして働かせることができます。これにより、プログラマーは一度に512文字をアクセスできます。

英数字モードの1つを選択すると、BIOSはROMからマップ2に文字パターンを転送します。システム・マイクロプロセッサーは、文字データをマップ0に、属性データをマップ1に記憶します。英数字モードでは、プログラマーはマップ0とマップ1を1つのバッファーとして見ることができます。ディスプレイ・コントローラーは順次アドレスを生成し、文字コード・バイトと属性バイトを一度に1つずつフェッチします。文字コードと行走査カウントが結合されて、マップ2のアドレスを示します。マップ2にはキャラクター・ジェネレーターが含まれています。そして、該当のドット・パターンが属性セクション内のパレットに送られ、そこで属性データに従って色が割り当てられます。

英数字モードでの表示文字の位置は、文字コードと属性コードの2バイトで定義される文字のアドレスによって決まります。3-24ページの図3-19は、カラー/グラフィックス・モードとモノクロ・エミュレーション・モードの両方で使用される、2バイトの文字/属性フォーマットを示しています。

.

Display Character Code Byte								Attribute Byte							
7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
Even Address								Odd Address							

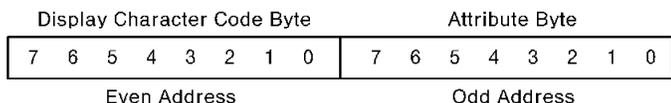



図　3-19. 文字/属性フォーマット

BIOSモードのセット時にロードされる文字については、第5章, 『文字とキー・ストローク』を参照してください。

図3-20は属性バイトの働きを示しています。

Attribute Function	Attribute Byte							
	7	6	5	4	3	2	1	0
	B/I	R	G	B	I/CS	R	G	B
	Background				Foreground			
Normal (White on Black)	B/I	0	0	0	I/CS	1	1	1
Reverse (Black on White)	B/I	1	1	1	I/CS	0	0	0
Nondisplay (Black)	B/I	0	0	0	I/CS	0	0	0
Nondisplay (White)	B/I	1	1	1	I/CS	1	1	1
Mono=Underline / Color=Blue	B/I	0	0	0	I/CS	0	0	1

I = Highlighted
B = Blinking Foreground (Character)
CS = Character select

The BIOS defaults on a mode set are blink for bit 7 (B/I) and intensity for bit 3 (I/CS).

図　3-20. 属性バイトの機能

図3-21は属性バイトの定義を示しています。

Bit	Color	Function
7	B/I	Blinking/Background Intensity
6	R	Red Background
5	G	Green Background
4	B	Blue Background
3	I/CS	Intensity/Character Select
2	R	Red Foreground
1	G	Green Foreground
0	B	Blue Foreground

図　3-21. 属性バイトの定義

3-59ページの『文字マップ選択レジスター』および3-86ページの『属性モード制御レジスター』を参照してください。

他の組み合わせのコードを用いると、モノクロ・エミュレーション・モードでは白の背景に白が、またカラー・エミュレーション・モードでは下記の色が生成されます。

I	R	G	B	Color
0	0	0	0	Black
0	0	0	1	Blue
0	0	1	0	Green
0	0	1	1	Cyan
0	1	0	0	Red
0	1	0	1	Magenta
0	1	1	0	Brown
0	1	1	1	White
1	0	0	0	Gray
1	0	0	1	Light Blue
1	0	1	0	Light Green
1	0	1	1	Light Cyan
1	1	0	0	Light Red
1	1	0	1	Light Magenta
1	1	1	0	Yellow
1	1	1	1	White (High Intensity)

図　3-22. 属性バイトの色

40桁と80桁の英数字モードが両方ともサポートされています。40桁の英数字モード（モード0hおよび1hのすべてのバリエーション）の特徴は次のとおりです。

- 各40文字の行が最大25行まで表示されます。
- 1ページにつき2,000バイトの読み書きメモリーが必要です。

- 各文字について1文字および1属性が付随しています。

80桁の英数字モード（モード2h, 3h, および7hのすべてのバリエーション）の特徴は次のとおりです。

- 各80文字の行が最大25行まで表示されます。
- 1ページにつき4,000バイトの読み書きメモリーが必要です。
- 各文字について1文字および1属性が付随しています。

3.2.8 グラフィックス・モード

この節ではビデオ・サブシステムおよびBIOSがサポートしているグラフィックス・モードについて説明します。この節に示す色は、BIOSを用いてモードをセットしたときに生成されるものであるという点に注意してください。BIOSは、これらの色を生成するためにビデオ・サブシステムおよびビデオDACパレットを初期化します。ビデオDACパレットが変われば、別の色が生成されます。

320 x 200の4色グラフィックス（モード4hおよび5h）

アドレス指定、マッピング、およびデータ・フォーマットは、IBMカラー/グラフィック・モニター・アダプターの320 x 200 PELモードと同じです。ディスプレイ・バッファーはB8000hの位置で構成されます。ビット・イメージ・データはメモリー・マップ0および1に記憶されます。2つのビット・プレーン（C0およびC1）は、それぞれ両方のメモリー・マップのビットにより形成されます。

このモードの特徴は次のとおりです。

- 320 PELの行が最高200行まで含まれます。
- 各PELごとに4色のうちの1つを選択します。
- 16,000バイトの読み書きメモリーが必要です。
- メモリー・マップされたグラフィックスを使用します。
- 2重走査により400行を表示します。
- 図3-23に示すように1バイトにつき4 PELをフォーマットします。
- 3-28ページの図3-24に示すフォーマットを使って、グラフィックス・メモリーを2つの8,000バイトのバンクとして編成します。

Bit	Function
7	C1 - First Display PEL
6	C0 - First Display PEL
5	C1 - Second Display PEL
4	C0 - Second Display PEL
3	C1 - Third Display PEL
2	C0 - Third Display PEL
1	C1 - Fourth Display PEL
0	C0 - Fourth Display PEL

図　3-23. PELフォーマット、モード4hおよび5h

Memory Address	Function
B8000–B9F3F	Even Scans (0,2,4,.....,198)
B9F3F–BA000	Reserved
BA000–BBF3F	Odd Scans (1,3,5,.....,199)
BBF3F–BBFFF	Reserved

注: Address hex B8000 contains the PEL information for the upper left corner of the display area.

図　3-24. ビデオ・メモリーのフォーマット

どの色が選択されるかは図3-25に示すとおりです。

C1	C0	Color Selected	
0	0	Black	
0	1	Light Cyan	* Green
1	0	Light Magenta	* Red
1	1	Intensified White	* Brown

* Selectable by a video BIOS call.

図　3-25. 色の選択、モード4hおよび5h

640 x 200の2色グラフィックス（モード6h）

アドレス指定、マッピング、およびデータ・フォーマットは、IBMカラー/グラフィック・モニター・アダプターの640 x 200 PEL白黒モードと同じです。ディスプレイ・バッファーはB8000hの位置で構成されます。ビット・イメージ・データはメモリー・マップ0および1に記憶され、1つのビット・プレーン(C0)を形成します。

このモードの特徴は次のとおりです。

- 640 PELの行が最高200行まで含まれます。
- 2色だけを使用します。
- 16,000バイトの読み書きメモリーが必要です。
- アドレス指定およびマッピングのプロシージャーは、320 x 200の2色および4色グラフィックスと同じですが、フォーマットは異なります。このモードでは、メモリー内の1ビットが画面上の1 PELにマッピングされます。
- 2重走査により400行を表示します。
- 次に示すように1バイトにつき8 PELをフォーマットします。

Bit	Function
7	First Display PEL
6	Second Display PEL
5	Third Display PEL
4	Fourth Display PEL
3	Fifth Display PEL
2	Sixth Display PEL
1	Seventh Display PEL
0	Eighth Display PEL

図　3-26. PELフォーマット、モード6h

各PELのビット定義は、0が黒で1が高輝度の白です。

640 x 480の2色グラフィックス（モード11h）

このモードは、モード6hと同じデータ・フォーマットの2色グラフィックスです。アドレス指定とマッピングは3-34ページの3.2.9、『ビデオ・メモリー構成』に示すとおりです。

ビット・イメージ・データはマップ0に記憶され、1つのビット・プレーン(C0)を形成します。A0000hから始まる順次バッファーを備えています。A0000hの位置のバイトには、最初の8 PELに関する情報が入っています。A0001hの位置には2番目の8 PELに関する情報が入っています。（以下同様です。）各PELのビット定義は、0が黒で1が高輝度の白です。

640 x 350のグラフィックス（モードFh）

このモードはIBMモノクロ・ディスプレイ上でEGAグラフィックス・モードをエミュレートするもので、属性は黒、白、明滅白、および高輝度白です。640 x 350の解像度でこの4つの属性をサポートするには56KBのメモリーが必要です。このモードではマップ0および2を使います。マップ0はビデオ・ビット・プレーンで、マップ2は輝度ビット・プレーンです。どちらのプレーンもアドレスA0000hにあります。

画面上の1つのPELが、2つのビットの組み合わせ（各ビット・プレーンから1つずつ）によって定義されます。図3-27にPELのビット定義を示します。C0はビデオ・ビット・プレーンで、C2は輝度ビット・プレーンです。

C2	C0	PEL Color
0	0	Black
0	1	White
1	0	Blinking White
1	1	Intensified White

図　3-27. PELのビット定義

メモリー内でのバイト編成は直線状になっています。メモリー内のA0000hの位置の内容が画面上の最初の8 PELを定義し、A0001の位置の内容が2番目の8 PELを定義します。（以下同様です。）各バイトのビット7がそのバイトの最初のPELを定義します。各バイトのビット0がそのバイトの最後のPELを定義します。

ビット・プレーンは両方ともアドレスA0000hにあるので、これを更新するときは、ユーザーがどちらか一方または両方のプレーンを選択しなければなりません。この選択にはシーケンサーのマップ・マスク・レジスターを使用します。（3-34ページの3.2.9、『ビデオ・メモリー構成』を参照してください。）

16色グラフィックス（モードDh, Eh, 10h, および12h）

これらのモードは16色のグラフィックスをサポートします。これらのモードでは、ビット・イメージ・データは4つのメモリー・マップのすべてに記憶されます。各メモリー・マップには、それぞれ1つのビット・プレーンについてのデータが入っています。下に示すように、各ビット・プレーンはそれぞれ1つの色を表します。C0, C1, C2, およびC3が各ビット・プレーンを示しています。

C0 = 青のPEL
C1 = 緑のPEL
C2 = 赤のPEL
C3 = 高輝度のPEL

画面上の1つのPELが、4つのビットの組み合わせ（各プレーンから1つずつ）によって定義されます。図3-28に色の組み合わせを示します。

C3	C2	C1	C0	Color
0	0	0	0	Black
0	0	0	1	Blue
0	0	1	0	Green
0	0	1	1	Cyan
0	1	0	0	Red
0	1	0	1	Magenta
0	1	1	0	Brown
0	1	1	1	White
1	0	0	0	Dark Gray
1	0	0	1	Light Blue
1	0	1	0	Light Green
1	0	1	1	Light Cyan
1	1	0	0	Light Red
1	1	0	1	Light Magenta
1	1	1	0	Yellow
1	1	1	1	Intensified White

図　3-28. パレット内の色

ディスプレイ・バッファーはアドレスA0000hの位置にあります。システム・マイクロプロセッサーがディスプレイ・バッファーへのメモリー書き込みを実行するときに、更新するマップ（どれかまたはすべて）を選択するためにマップ・マスク・レジスターが使われます。

256色グラフィックス（モード13h）

このモードのグラフィックスでは、画面上に一度に256色を表示することができます。

ディスプレイ・バッファーは連続していて、アドレスA0000hから始まり、長さは64000バイトです。最初のバイトには、左上隅のPELの色を示す8ビットの情報が入っています。2番目のバイトには2番目のPELに関する情報が入っています。以下同様にして、64 000個のPEL (320 x 200)の色が定義されます。ビット・イメージ・データは4つのメモリー・マップのすべてに記憶され、4つのビット・プレーンを形成します。4つのビット・プレーンは2回サンプリングされ、ビデオDACを指し示す8ビット・プレーンを生成します。

色の選択にはビデオ・サブシステムの内部パレットを使用しません。内部パレットはBIOSがセットするものであり、これを変更してはなりません。ビデオDACの外部パレットはBIOSがプログラミングします。その結果、最初の16個の記憶位置には、他のモードの色と適合性のある色が入ります（図3-29を参照）。2番目の16個の記憶位置には、16等分された明度が入ります。残りの216個の記憶位置に入るのは、よく使われる汎用色セットとして調整された色相/彩度/明度モデルで、これは幅広い色の値を網羅しています。

Attribute Byte								Analog Output Color
C7	C6	C5	C4	C3	C2	C1	C0	
0	0	0	0	0	0	0	0	Black
0	0	0	0	0	0	0	1	Blue
0	0	0	0	0	0	1	0	Green
0	0	0	0	0	0	1	1	Cyan
0	0	0	0	0	1	0	0	Red
0	0	0	0	0	1	0	1	Magenta
0	0	0	0	0	1	1	0	Brown
0	0	0	0	0	1	1	1	White
0	0	0	0	1	0	0	0	Dark Gray
0	0	0	0	1	0	0	1	Light Blue
0	0	0	0	1	0	1	0	Light Green
0	0	0	0	1	0	1	1	Light Cyan
0	0	0	0	1	1	0	0	Light Red
0	0	0	0	1	1	0	1	Light Magenta
0	0	0	0	1	1	1	0	Yellow
0	0	0	0	1	1	1	1	Intensified White

図　3-29. 属性バイト

ビデオDACパレットは、256,000種を超える色から任意の色を選択してプログラミングできます。

このモードの特徴は次のとおりです。

- 320個のPELから成る行が最高200行まで含まれます。
- 2重走査によって400行が表示されます。
- 各PELごとに256色の1つを選択します。

- 64,000バイトの読み書きメモリーが必要です。
- メモリー・マップされたグラフィックスを使います。
- 1つのPELに1バイトを使います。

3.2.9 ビデオ・メモリー構成

システム・ボード上のビデオ・ディスプレイ・バッファーは256KBのダイナミック読み書きメモリーから成り、4個の64KBビデオ・マップとして構成されます。

ディスプレイ・バッファーのアドレスは、他のビデオ・アダプターおよびアプリケーション・ソフトウェアとの適合性を保つように変更できます。4つの記憶位置があります。ディスプレイ・バッファーを構成できる位置は、長さが128KBの場合はセグメント・アドレスA0000h、長さが64KBの場合はA0000h、長さが32KBの場合はB0000hまたはB8000hです。

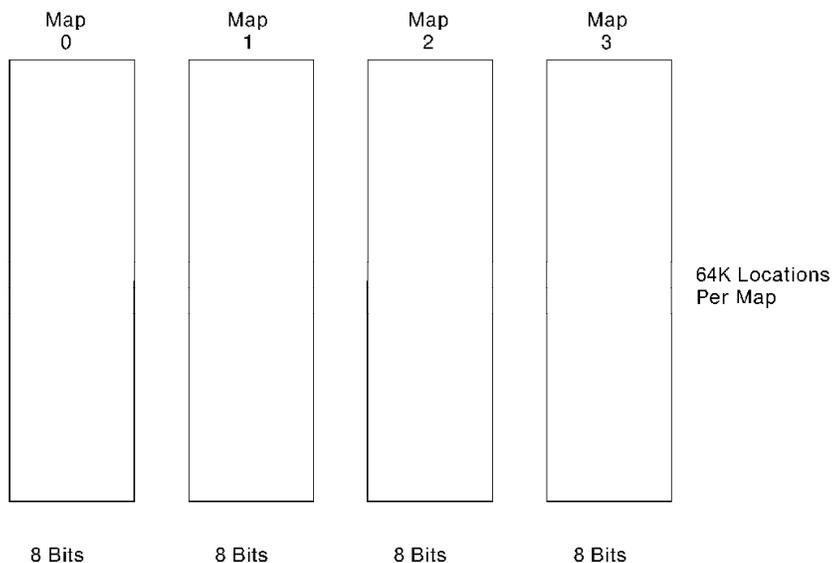



図　3-30. 256KBビデオ・メモリー・マップ

マップ0～3は、通常ビット・プレーン0～3を形成します。

マップ0　=　ビット・プレーン0

マップ1　=　ビット・プレーン1

マップ2　=　ビット・プレーン2

マップ3　=　ビット・プレーン3

モード13hでは、4つのビット・プレーンのそれぞれが、4つのすべてのマップからのデータで形成されます。4つのビットが内部で2回サンプリングされ、256色からの色選択に必要な8ビットの値が生成されます。

モード0h, 1h（モード0hおよび1hのすべてのバリエーション）

モード2h, 3h（モード2hおよび3hのすべてのバリエーション）

モード4h, 5h

- 4 PELs per byte
- 4 colors per PEL
- Format is first PEL in 2 MSbs.

CPU ADDR　Map 0

B8000　Even Scans
B9F3E　Reserved
BA000　Odd Scans
BBF3E　Reserved
BBFFE

8000　8K

CPU ADDR　Map 1

B8001　Even Scans
B9F3F　Reserved
BA001　Odd Scans
BBF3F　Reserved
BBFFF

モード6h

CPU ADDR
Display Buffer
Storage Scheme
PEL
B8000
Even Scans
8000
8K
1 2 3 4 5 6 7 8
B9F3F
Reserved
BA000
MSb
LSb
Odd Scans
8 PELs per byte
2 colors per PEL
Format is first PEL in MSb.
BBF3F
Reserved
BBFFF
CPU ADDR
Map 0
Bit Plane (C0)
B8000
Even Scans
8000
8K
B9F3F
Reserved
BA000
Odd Scans
BBF3F
Reserved
BBFFF

モード7h（モード7hのすべてのバリエーション）

Character Byte
- Format is 1 character per byte.

CPU ADDR	Map 0 (char)	CPU ADDR	Map 1 (atr)
B8000		B0001	
B0F9E	Reserved	B0F9F	Reserved
B1000		B1001	
B1F9E	Reserved	B1F9F	Reserved
B2000		B2001	
B2F9E	Reserved	B2F9F	Reserved
B3000		B3001	
B3F9E	Reserved	B3F9F	Reserved
B4000		B4001	
B4F9E	Reserved	B4F9F	Reserved
B5000		B5001	
B5F9E	Reserved	B5F9F	Reserved
B6000		B6001	
B6F9E	Reserved	B6F9F	Reserved
B7000		B7001	
B7F9E	Reserved	B7F9F	Reserved
B7FFE		B7FFF	

4000 4K

モードDh

CPU ADDR
Display Buffer
Storage Scheme
PEL
A0000 (A8000)
A1F3F (A9F3F)
A2000 (AA000)
A3F3F (ABF3F)
A4000 (AC000)
A5F3F (ADF3F)
A6000 (AE000)
A7F3F (AFF3F)
A7FFF (AFFFF)
Page 1 (5)
Reserved
Page 2 (6)
Reserved
Page 3 (7)
Reserved
Page 4 (8)
Reserved
8000
8K
1 2 3 4 5 6 7 8
C0
C1
C2
C3
MSb
LSb
• 4 bits per PEL
• 16 colors per PEL
• 1 bit from each bit plane (C3,C2,C1,CO) per PEL
• Format is first PEL in MSb of all 4 bit planes.

Map 0
CPU ADDR
Blue Bit Plane (C0)
A0000 (A8000)
A1F3F (A9F3F)
A2000 (AA000)
A3F3F (ABF3F)
A4000 (AC000)
A5F3F (ADF3F)
A6000 (AE000)
A7F3F (AFF3F)
A7FFF (AFFFF)
Reserved
Reserved
Reserved
Reserved
8000
8K
Map 1
CPU ADDR
Green Bit Plane (C1)
A0000 (A8000)
A1F3F (A9F3F)
A2000 (AA000)
A3F3F (ABF3F)
A4000 (AC000)
A5F3F (ADF3F)
A6000 (AE000)
A7F3F (AFF3F)
A7FFF (AFFFF)
Reserved
Reserved
Reserved
Reserved
Map 2
CPU ADDR
Red Bit Plane (C2)
A0000 (A8000)
A1F3F (A9F3F)
A2000 (AA000)
A3F3F (ABF3F)
A4000 (AC000)
A5F3F (ADF3F)
A6000 (AE000)
A7F3F (AFF3F)
A7FFF (AFFFF)
Reserved
Reserved
Reserved
Reserved
8000
8K
Map 3
CPU ADDR
Intensity Bit Plane (C3)
A0000 (A8000)
A1F3F (A9F3F)
A2000 (AA000)
A3F3F (ABF3F)
A4000 (AC000)
A5F3F (ADF3F)
A6000 (AE000)
A7F3F (AFF3F)
A7FFF (AFFFF)
Reserved
Reserved
Reserved
Reserved

モードEh

CPU ADDR
Display Buffer
A0000
Page 1
A3E7F
Reserved
A4000
Page 2
A7E7F
Reserved
A8000
Page 3
ABE7F
Reserved
AC000
Page 4
AFE7F
Reserved
AFFFF
16000
16K
Storage Scheme
PEL
1 2 3 4 5 6 7 8
C0
C1
C2
C3
MSb
LSb
• 4 bits per PEL
• 16 colors per PEL
• 1 bit from each bit plane (C3,C2,C1,C0) per PEL
• Format is first PEL in MSb of all 4 bit planes.

Map 0
CPU ADDR
Blue Bit Plane (C0)
A0000
A3E7F
A4000
A7E7F
A8000
ABE7F
AC000
AFE7F
AFFFF
Reserved
Reserved
Reserved
Reserved
16000
16K
Map 1
CPU ADDR
Green Bit Plane (C1)
A0000
A3E7F
A4000
A7E7F
A8000
ABE7F
AC000
AFE7F
AFFFF
Reserved
Reserved
Reserved
Reserved
Map 2
CPU ADDR
Red Bit Plane (C2)
A0000
A3E7F
A4000
A7E7F
A8000
ABE7F
AC000
AFE7F
AFFFF
Reserved
Reserved
Reserved
Reserved
16000
16K
Map 3
CPU ADDR
Intensity Bit Plane (C3)
A0000
A3E7F
A4000
A7E7F
A8000
ABE7F
AC000
AFE7F
AFFFF
Reserved
Reserved
Reserved
Reserved

モードFh

CPU ADDR
Display Buffer
A0000
Page 1
28000
32K
A6D5F
Reserved
A8000
Page 2
AED5F
Reserved
AFFFF
Storage Scheme
PEL
1 2 3 4 5 6 7 8
C0
C2
MSb
LSb
• 2 bits per PEL
• 4 attributes per PEL
• 1 bit from each bit plane (C2,C0)
• Format is first PEL in MSb of video and intensity bit planes.
Map 0
CPU ADDR
Video Bit Plane (C0)
A0000
28000
32K
A6D5F
Reserved
A8000
AED5F
Reserved
AFFFF
Map 2
CPU ADDR
Intensity Bit Plane (C2)
A0000
A6D5F
Reserved
A8000
AED5F
Reserved
AFFFF

モード10h

- 4 bits per PEL
- 16 colors per PEL
- 1 bit from each bit plane (C3,C2,C1,C0) per PEL
- Format is first PEL in MSb of all 4 bit planes.

モード11h

- 1 bit per PEL
- 2 attributes per PEL
- Format is first PEL in MSb position.

モード12h

CPU ADDR
Display Buffer
A0000
A95FF
AFFFF
Reserved
38400
64K
Storage Scheme
PEL
1 2 3 4 5 6 7 8
C0
C1
C2
C3
MSb
LSb
• 4 bits per PEL
• 16 colors per PEL
• 1 bit from each bit plane (C3,C2,C1,C0) per PEL
• Format is first PEL in MSb of all 4 bit planes.
Map 0
Blue Bit Plane (C0)
Map 1
Green Bit Plane (C1)
Map 2
Red Bit Plane (C2)
Map 3
Intensity Plane (C3)

モード13h

- 8 bits per PEL
- 256 colors per PEL
- 1 PEL per byte
- Format is PEL 1 at address A0000.

3.2.10 ビデオ・メモリー読み書き操作

読み出し操作

ビデオ・メモリー読み出しの方法は2つあります。グラフィックス・モード・レジスターを使って読み出しタイプ0を選択すると、システム・マイクロプロセッサーによるビデオ・メモリー読み出し操作によって8ビットの値が戻されます。この値は、メモリー・アドレスの論理デコードと読み出しマップ選択レジスター（適用される場合）とによって決まります。グラフィックス・モード・レジスターを使って読み出しタイプ1を選択した場合は、戻される8ビットの値は、色比較レジスターと色比較除外レジスターが制御する色比較操作の結果を示します。図3-31に色比較操作でのデータの流れを示します。

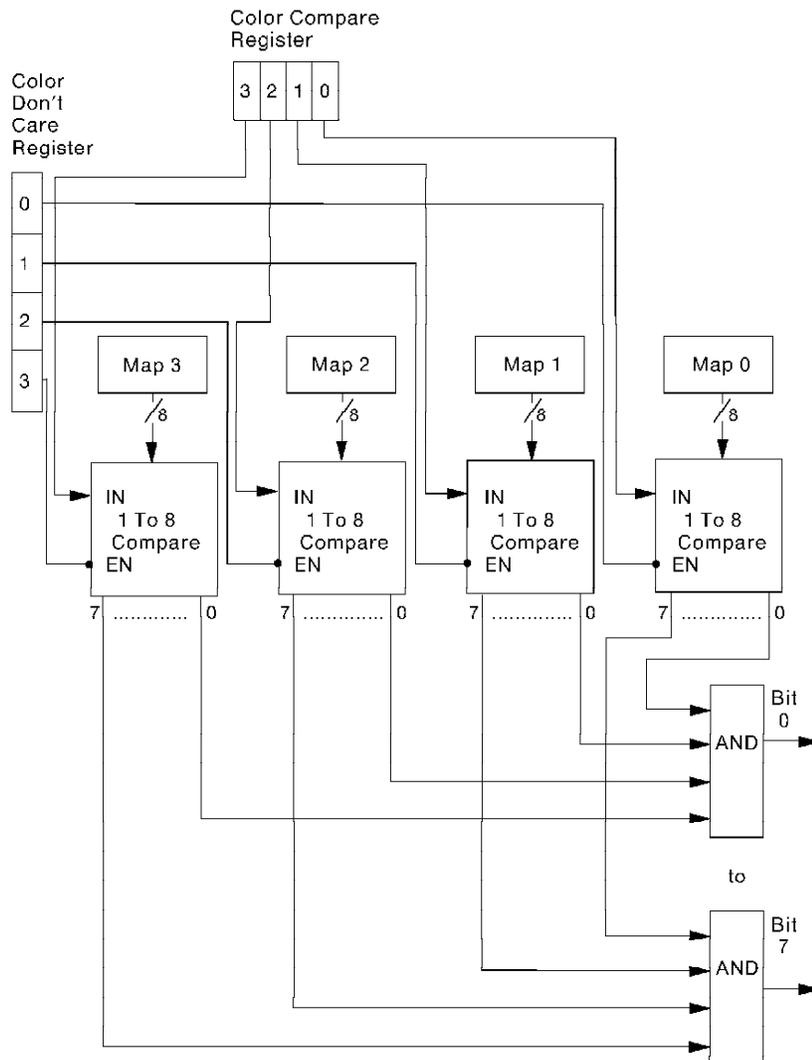



図　3-31. VGA色比較操作

書き込み操作

システム・マイクロプロセッサーによるビデオ・メモリー書き込み操作では、メモリー・アドレスの論理デコードおよびビデオ・モードに応じたマップ・マスク・レジスターの論理デコードによって、マップがイネーブルされます。図3-32に、システム・マイクロプロセッサーによる書き込み操作でのデータの流れを示します。

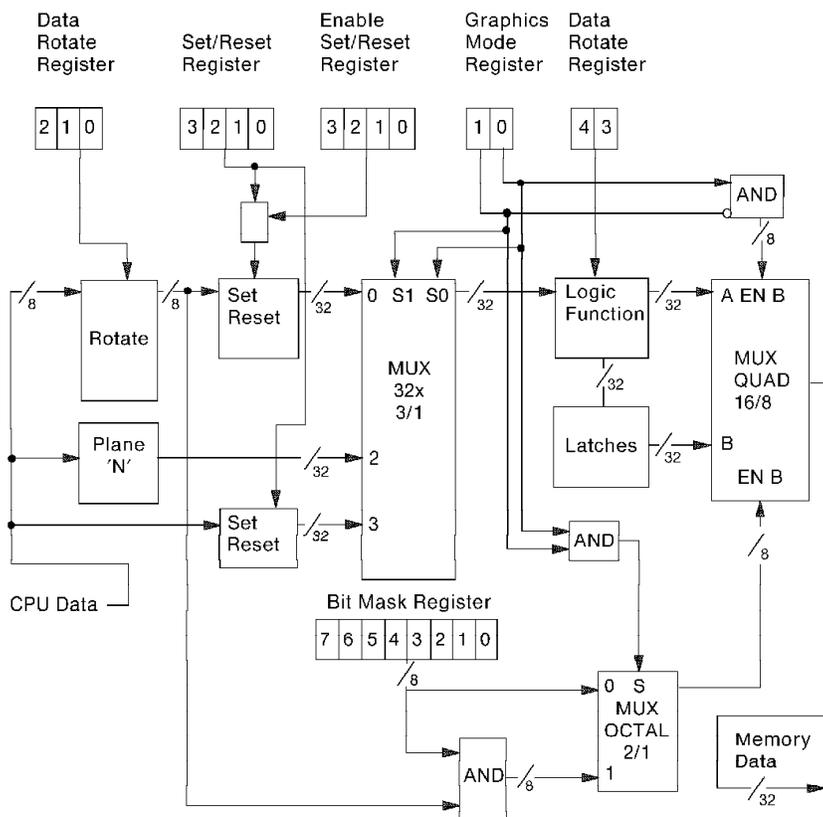



図　3-32. VGAメモリー書き込み操作でのデータの流れ

3.2.11 レジスター

図3-33に示すように、ビデオ・サブシステム内には6組のレジスターがあります。

	R/W	Monochrome Emulation	Color Emulation	Either
General Registers	**Addresses used 03BA or 03DA; 03C2; 03CA; and 03CC**			
Miscellaneous Output Reg	W			03C2
	R			03CC
Input Status Register 0	RO			03C2
Input Status Register 1	RO	03BA	03DA	
Feature Control Register	W	03BA	03DA	
	R			03CA
VGA Enable Register	RW			03C3*
Attribute Mode Control Registers	**Addresses used 03C0 - 03C1**			
Address Register	RW			03C0
Other Attribute Registers	W			03C0
	R			03C1
Display Controller Registers	**Addresses used 03D4 to 03D5 or 03B4 to 03B5**			
Index Register	RW	03B4	03D4	
Other Display Controller Regs.	RW	03B5	03D5	
Sequencer Registers	**Addresses used 03C4 to 03C5**			
Address Register	RW			03C4
Other Sequencer Registers	RW			03C5
Graphics Controller Registers	**Addresses used 03CE to 03CF**			
Address Register	RW			03CE
Other Graphics Registers	RW			03CF
Video DAC Registers	**Addresses used 03C6 to 03C9**			
PEL Address Register	RW (Write Mode)			03C8
	WO (Read Mode)			03C7
DAC State Register	RO			03C7
PEL Data Register	RW			03C9
PEL Mask Register	RW			03C6

RO = Read-Only, RW = Read / Write, WO = Write-Only
Register addresses are in hex.

図 3-33. VGAレジスターの概要

* このレジスターは、システムボード上にビデオサブシステムのあるシステムで必要です。
VGAアダプターでは、この機能の有無及びそのアドレスはアダプターにより異なります。
（46E8h, 0102hなど）

3.2.12 汎用レジスター

この項では下記のレジスターについて説明します。

Name	Read Port	Write Port	Index
Miscellaneous Output register	03CC	03C2	-
Input Status register 0	03C2	-	-
Input Status register 1	03nA	-	-
Feature Control register	03CA	03nA	-
VGA Enable Register	03C3	03C3	-

The (n) is controlled by bit 0 of the Miscellaneous Output register.

n = B in Monochrome Emulation Modes and
n = D in Color Emulation Modes

Register addresses are in hex.

図 3-34. 汎用レジスターの概要

多目的出力レジスター

これは読み書きレジスターの1つです。ハードウェアをリセットすると、このレジスターのすべてのビットが0にリセットされます。読み出しアドレス= 03CCh, 書き込みアドレス= 03C2h。

Bit	Function
7	Vertical Sync Polarity
6	Horizontal Sync Polarity
5	Page Bit For Odd/Even (Modes 0-5)
4	Reserved = 0
3	Clock Select 1
2	Clock Select 0
1	Enable RAM
0	I/O Address Select

図 3-35. 多目的出力レジスター

ビット7 ビット7が1にセットされていれば、負の垂直帰線が選択されます。ビット7が0にセットされていれば、正の垂直帰線が選択されます。

ビット6　ビット6が1にセットされていれば、負の水平帰線が選択されます。ビット6が0にセットされていれば、正の水平帰線が選択されます。

注:　図3-36に示すように、ビット7および6は垂直サイズに基づいて選択されます。

Bit 7	Bit 6	Vertical Size
0	0	Reserved = 0
1	0	350 lines
0	1	400 lines
1	1	480 lines

図　3-36. 垂直表示サイズ

ビット5　ビット5は、奇数/偶数モード（0〜5）のときに2つの64KBのメモリー・ページの間の切り替えのために使われます。ビット5が1にセットされていれば、高位のメモリー・ページが選択されます。ビット5が0にセットされていれば、低位のメモリー・ページが選択されます。このビットは診断のために提供されています。

ビット4　予約済み

ビット3, 2　ビット3および2は、図3-37に示すようにクロック・ソースの選択に使われます。

Bit 3	Bit 2	Function
0	0	Selects 25.175 MHz clock for 640 horizontal PELs
0	1	Selects 28.322 MHz clock for 720 horizontal PELs
1	0	Reserved
1	1	Reserved

図　3-37. クロック選択のためのビット3および2の定義

ビット1　ビット1が1にセットされていれば、システム・マイクロプロセッサーへのビデオRAMがイネーブルされます。ビット1が0にセットされていれば、システム・マイクロプロセッサーからのビデオRAMアドレス・デコードがディセーブルされます。

ビット0　このビットは、IBMモノクロまたはカラー/グラフィック・モニター・アダプター・エミュレーションでのディスプレイ・コントローラーI/Oアドレスをマッピングします。ビット0が1にセットされていれば、IBMカラー/グラフィック・モニター・アダプター・エミュレーション用に、ディスプレイ・コントローラー・レジスターのアドレスが03Dxhにセットされ、入力ステータス・レジスター1アドレスが03DAhにセットされます。ビット0が0にセットされていれば、IBMモノクロ・アダプター・エミュレーション用に、ディスプレイ・コントローラー・レジスターのアドレスが03Bxhにセットされ、入力ステータス・レジスター1のアドレスが03BAhにセットされます。

入力ステータス・レジスター0

これは読み出し専用レジスターです。読み出しアドレス = 03C2h。

ビット	Function
7	CRT Interrupt
6, 5	Reserved = 0
4	Switch Sense Bit
3 - 0	Reserved = 0

図　3-38. 入力ステータス・レジスター0

ビット7　このビットはPS/2と互換性のあるビデオ・サブシステムで使用されます。
ビット7が1にセットされていれば、垂直帰線割り込みが保留の状態にあります。ビット7が0にセットされていれば、垂直帰線割り込みがクリアーされています。

ビット6, 5 予約済み

ビット4　システム・マイクロプロセッサーは、ビット4に基づいてスイッチ・センス信号線を読み出します。また、電源投入自己テストでは、システムに接続されているのがモノクロ・ディスプレイまたはカラー・ディスプレイのどちらであるかを判別するためにビット4が使われます。

ビット3〜0 予約済み

入力ステータス・レジスター1

これは読み出し専用レジスターです。読み出しアドレス = 03nAh（**n**については3-52ページの図3-34を参照）。

Bit	Function
7, 6	Reserved = 0
5	Diagnostic 0
4	Diagnostic 1
3	Vertical Retrace
2, 1	Reserved = 0
0	Display Enable

図　3-39. 入力ステータス・レジスター1

ビット7, 6 予約済み

ビット5, 4 診断用のビットです。ビット5および4は、属性コントローラーの8本の色出力のうちの2つを選択して出力することができます。色プレーン・イネーブル・レジスターは色出力信号の選択回路を制御します。図3-40に、可能な色出力信号の組み合わせを示します。

Color Plane Enable Register		Input Status Register 1	
Bit 5	Bit 4	Bit 5	Bit 4
0	0	P2	P0
0	1	P5	P4
1	0	P3	P1
1	1	P7	P6

図　3-40. 診断ビット

ビット3　垂直帰線。ビット3が1にセットされていれば、垂直帰線間隔が発生しています。ビット3が0にセットされていれば、ビデオ情報が表示されています。PS/2では垂直帰線終了レジスターのビット5および4を介してこのビット3をプログラミングすることにより、垂直帰線の開始時に割り込みレベル2でシステム・マイクロプロセッサーへの割り込みが生じるようになっています。

ビット2, 1 予約済み

ビット0　表示イネーブル。ビット0が1にセットされていれば、水平または垂直帰線間隔が生じています。このビットは、表示イネーブル信号を逆転させたリアルタイムのステータスを表しています。ある種のプログラムでは、ディスプレイ上のグリッチを抑制するために、このビットを使って画面更新をインアクティブな表示間隔内に制限しています。ビデオ・サブシステムはこのようなソフトウェア上の必要条件をなくすように設計されているので、画面更新がいつでも行えます。

機能制御レジスター

これは読み書きレジスターです。読み出しアドレス= 03CAh, 書き込みアドレス= 03nAh (nについては3-52ページの図3-34を参照）。

このレジスター内のビットはすべて予約済みで、ビット3は必ず0です。

VGAイネーブル・レジスター

このレジスターは、システムボード上にビデオサブシステムがある場合必要です。

Bit	Function
7 - 1	Reserved
0	VGA Enable

図　3-41. VGAイネーブル・レジスター、03C3h

ビット7〜1 予約済み

ビット0　ビット0を1にセットすると、ビデオI/Oおよびメモリー・アドレスのデコードがイネーブルされます。ビット0を0にセットすると、ビデオI/Oおよびメモリー・アドレスのデコードがディセーブルされます。

注:　この機能を使用するときには、BIOSコール(INT 10h, AH=12h, BL=32h)を使用してください。

3.2.13 シーケンサー・レジスター

この項では下記のレジスターについて説明します。

Name	Port (hex)	Index (hex)
Sequencer Address	03C4	-
Reset	03C5	00
Clocking Mode	03C5	01
Map Mask	03C5	02
Character Map Select	03C5	03
Memory Mode	03C5	04

図　3-42. シーケンサー・レジスターの概要

シーケンサー・アドレス・レジスター

シーケンサー・アドレス・レジスターは、アドレス03C4hに位置するポインター・レジスターです。このレジスターには、データが書き込まれるシーケンサー・データ・レジスターを指し示す2進値がロードされます。図3-42では、この値を*インデックス*という用語で表しています。

Bit	Function
7 - 3	Reserved = 0
2 - 0	Sequencer Address Bits

図　3-43. シーケンサー・アドレス・レジスター

ビット7〜3 予約済み

ビット2〜0 ビット2〜0には、データが書き込まれるレジスターを指し示す2進値が入ります。

リセット・レジスター

これは、シーケンサー・アドレス・レジスターの値が00hである場合に指し示される読み書きレジスターです。このレジスターのポート・アドレスは03C5hです。

Bit	Function
7 - 2	Reserved = 0
1	Synchronous Reset
0	Asynchronous Reset

図　3-44. リセット・レジスター、インデックス00h

ビット7〜2 予約済み

ビット1　同期リセット。ビット0および1が両方とも1であれば、シーケンサーが作動します。ビット1を0にセットすると、シーケンサーは同期的にクリアーされ停止します。クロッキング・モード・レジスターのビット3または0（インデックス01）、または多目的出力レジスター（03C2h）のビット2または3を変更するには、その前にこのレジスターのビット1を0にセットしておかなければなりません。

ビット0　非同期リセット。ビット0および1が両方とも1であれば、シーケンサーが作動します。ビット0を0にセットすると、シーケンサーは非同期的にクリアーされ停止します。このビットを使ってシーケンサーをリセットすると、ダイナミックRAM内のデータが失われることがあります。

クロッキング・モード・レジスター

これは、シーケンサー・アドレス・レジスター内の値が01hである場合に指し示される読み書きレジスターです。このレジスターのポート・アドレスは03C5hです。

Bit	Function
7, 6	Reserved = 0
5	Screen Off
4	Shift 4
3	Dot Clock
2	Shift Load
1	Reserved = 0
0	8/9 Dot Clocks

図　3-45. クロッキング・モード・レジスター、インデックス01h

ビット7, 6 予約済み

ビット5　画面オフ。ビット5を1にセットすると、ビデオ画面がオフになり、システム・マイクロプロセッサーに最大のメモリー帯域が割り当てられます。ビット5を0にセットすると、通常画面動作が選択されます。このビットがセットされているときは画面はブランクになり、同期パルスが維持されます。全画面更新を手早く行いたいときはこのビットを使用してください。

ビット4　シフト4。ビット4を1にセットすると、文字クロック4つ目ごとにシリアライザーがロードされます。1サイクルごとに32ビットをフェッチし、シフト・レジスター内でそれらを相互にチェーンする場合は、このモードを使うと便利です。ビット4を0にセットすると、各文字クロックごとにビデオ・シリアライザーがロードされます。

ビット3　ドット・クロック。ビット3を1にセットすると、マスター・クロックを2分割してドット・クロックが生成されます。2分割したドット・クロックは、320水平PELモードおよび360水平PELモードで使用されます。ビット3を0にセットすると、シーケンサー・マスター・クロック入力からドット・クロックが導き出されます（通常ドット・クロック）。他のタイミングはドット・クロックから導き出されるので、すべてこのビットの影響を受けます。

ビット2　シフト・ロード。ビット2を1にセットすると、文字クロック2つ目ごとにビデオ・シリアライザーが再ロードされます。1サイクルごとに16ビットをフェッチし、シフト・レジスター内でそれらを相互にチェーンする場合は、このモードを使うと便利です。ビット2を0にセットし、ビット4を0にセットすると、各文字クロックごとにビデオ・シリアライザーが再ロードされます。

ビット1　予約済み

ビット0　8/9ドット・クロック。ビット0を1にセットすると、シーケンサーは8ドット幅の文字クロックを生成します。ビット0を0にセットすると、シーケンサーは9ドット幅の文字クロックを生成します。9ドット幅の文字クロックを使うのは、英数字モード0+h, 1+h, 3+h, 7h, および7+hだけです。その他のモードではすべて8ドットの文字クロックを使用しなければなりません。9ドット・モードは英数字モード専用です。9番目のドットは、ASCIIコードC0h～DFhでの8番目のドットと同じです。（3-86ページの『属性モード制御レジスター』の線図形文字コード・イネーブル・ビットを参照してください。）

マップ・マスク・レジスター

これは、シーケンサー・アドレス・レジスターが02hである場合に指し示される読み書きレジスターです。このレジスターのポート・アドレスは03C5hです。

Bit	Function
7 - 4	Reserved = 0
3	Map 3 Enable
2	Map 2 Enable
1	Map 1 Enable
0	Map 0 Enable

図　3-46. マップ・マスク・レジスター、インデックス02h

ビット3～0のどれかの論理値が1であれば、システム・マイクロプロセッサーがイネーブルされ、対応するマップへの書き込みが行われます。このレジスターの値を0Fhとしてプログラミングすれば、システム・マイクロプロセッサーは1回のメモリー・サイクルで8ビット値を4個のマップすべてに書き込むことができます。これによって、グラフィックス・モードでの表示更新サイクルにおけるシステム・マイクロプロセッサーのオーバーヘッドが大幅に減少します。このレジスターを0Fhに設定して、システ

ム・マイクロプロセッサー・データ・ラッチに記憶されているデータをディスプレイ・バッファー・アドレスに書き込むことで、データ・スクロール操作の機能をさらに高めることもできます。これは読み書き変更操作の1つです。奇数/偶数モードを選択する場合は、マップ0と1およびマップ2と3のマップ・マスク値が同じになるようにしてください。チェーン4モードを選択した場合は、すべてのマップがイネーブルされます。

文字マップ選択レジスター

これは、シーケンサー・アドレス・レジスター内の値が03hである場合に指し示される読み書きレジスターです。このレジスターのポート・アドレスは03C5hです。

Bit	Function
7, 6	Reserved = 0
5	Character Map Select High Bit A
4	Character Map Select High Bit B
3, 2	Character Map Select A
1, 0	Character Map Select B

図　3-47. 文字マップ選択レジスター、インデックス03h

属性ビット3が1であるときに、英数字の生成にマップ2のどの部分を使用するかが、このレジスターのビット2, 3および5によって決まります。図3-48を参照してください。

Bit 5 Value	Bit 3 Value	Bit 2 Value	Map Selected	Table Location
0	0	0	0	1st 8KB of Map 2
0	0	1	1	3rd 8KB of Map 2
0	1	0	2	5th 8KB of Map 2
0	1	1	3	7th 8KB of Map 2
1	0	0	4	2nd 8KB of Map 2
1	0	1	5	4th 8KB of Map 2
1	1	0	6	6th 8KB of Map 2
1	1	1	7	8th 8KB of Map 2

図　3-48. 文字マップ選択A

英数字モードでは、通常、属性バイトのビット3には前景輝度をオンまたはオフに切り替える働きがありますが、このビットは文字セット間のスイッチとしても使用できます。この機能をイネーブルするには次の条件が満たされていなければなりません。

- メモリー・モード・レジスター（インデックス04）のビット1の値が1である。
- 文字マップ選択Aの値が文字マップ選択Bの値と同じでない。

どちらかの条件が満たされていない場合は、マップ2の最初の16KBが使用されます。

ビット0, 1および4は、属性バイトのビット3が0のときに、英字の生成にマップ2のどの部分を使用するかを指示します。3-60ページの図3-49を参照してください。

Bit 4 Value	Bit 1 Value	Bit 0 Value	Map Selected	Table Location
0	0	0	0	1st 8KB of Map 2
0	0	1	1	3rd 8KB of Map 2
0	1	0	2	5th 8KB of Map 2
0	1	1	3	7th 8KB of Map 2
1	0	0	4	2nd 8KB of Map 2
1	0	1	5	4th 8KB of Map 2
1	1	0	6	6th 8KB of Map 2
1	1	1	7	8th 8KB of Map 2

図　3-49. 文字マップ選択B

メモリー・モード・レジスター

これは、シーケンサー・アドレス・レジスター内の値が04hである場合に指し示される読み書きレジスターです。このレジスターの出力ポート・アドレスは03C5hです。

Bit	Function
7 - 4	Reserved = 0
3	Chain 4
2	Odd/Even
1	Extended Memory
0	Reserved = 0

図　3-50. メモリー・モード・レジスター、インデックス04h

ビット7〜4 予約済み

ビット3　チェーン4。ビット3を1にセットすると、どのマップにアクセスするかが2個の低位ビットに基づいて選択されます。図3-51を参照してください。ビット3を0にセットすると、システム・マイクロプロセッサーは、マップ・マスク・レジスターを使ってビット・マップ内のアクセス・データを順次にアドレス指定します。

注: このビットは、システム・マイクロプロセッサーによる読み出し中にグラフィックス・サブセクション内でどのマップを選択するかを制御します。

A1	A0	Map Selected
0	0	0
0	1	1
1	0	2
1	1	3

図　3-51. メモリー・モード、チェーン4

ビット2　奇数/偶数。ビット2を1にセットすると、システム・マイクロプロセッサーはビット・マップ内のデータを順次にアクセスします。ビット2を0にセットすると、偶数アドレスではマップ0および2がアクセスされ、奇数アドレスではマップ1および3がアクセスされます。マップは、マップ・マスク・レジスター（インデックス02）の中の値に基づいてアクセスされます。

ビット1　拡張メモリー。ビット1を1にセットすると、64KBを超えるビデオ・メモリーが提供されます。このビットをセットすることによって、システム・ボード上の256KBのビデオ・メモリーをVGAに使用させること、および3-59ページの『文字マップ選択レジスター』で述べている文字マップ選択をイネーブルすることができます。

ビット0　予約済み

3.2.14 ディスプレイ・コントローラー・レジスター

この節では下記のレジスターについて説明します。

Name	Port (hex)	Index (hex)
Display Controller Address	03n4	-
Horizontal Total	03n5	00
Horizontal Display Enable End	03n5	01
Start Horizontal Blanking	03n5	02
End Horizontal Blanking	03n5	03
Start Horizontal Retrace Pulse	03n5	04
End Horizontal Retrace	03n5	05
Vertical Total	03n5	06
Overflow	03n5	07
Preset Row Scan	03n5	08
Maximum Scan Line	03n5	09
Cursor Start	03n5	0A
Cursor End	03n5	0B
Start Address High	03n5	0C
Start Address Low	03n5	0D
Cursor Location High	03n5	0E
Cursor Location Low	03n5	0F
Vertical Retrace Start	03n5	10
Vertical Retrace End	03n5	11
Vertical Display Enable End	03n5	12
Offset	03n5	13
Underline Location	03n5	14
Start Vertical Blank	03n5	15
End Vertical Blank	03n5	16
CRTC Mode Control	03n5	17
Line Compare	03n5	18

n = B in Monochrome Emulation Modes and
n = D in Color Emulation Modes
This is controlled by bit 0 of the Miscellaneous Output register.

図　3-52. ディスプレイ・コントローラー・レジスターの概要

ディスプレイ・コントローラー・アドレス・レジスター

ディスプレイ・コントローラー・アドレス・レジスターは、03B4hまたは03D4hに位置するポインター・レジスターです。どちらのアドレスが使用されるかは、アドレス03C2hにある多目的出力レジスターのビット0によって決まります。ディスプレイ・コントローラー・アドレス・レジスターには、データの書き込み先のディスプレイ・コントローラー・アドレス・レジスターを示す2進値が入ります。3-62ページの図3-52では、この値を*インデックス*という用語で表しています。ディスプレイ・コントローラー・レジスターはすべて読み書きレジスターです。

Bit	Function
7	Reserved = 0
6	Reserved = 0
5	Reserved = 0
4	CRTC Index
3	CRTC Index
2	CRTC Index
1	CRTC Index
0	CRTC Index

図　3-53. ディスプレイ・コントローラー・アドレス・レジスター

ビット7, 6, 5　予約済み

ビット4〜0　ビット4から0には、データが書き込まれるディスプレイ・コントローラー・データ・レジスターのインデックス値が入ります。

水平総数レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が00hである場合に指し示される読み書きレジスターです。

このレジスターは、帰線期間も含めた水平走査期間内の総文字数(-5)を定義します。この値は、水平帰線出力信号の周期を直接制御します。内部水平文字カウンターがディスプレイ・コントローラーへの文字クロック入力数を数えます。水平および垂直のタイミングはすべて水平総数レジスターに基づいています。コンパレーターを使ってレジスターの値と水平文字数の値を比較することで、水平タイミングが設定されます。

水平表示イネーブル終了レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が01hである場合に指し示される読み書きレジスターです。

このレジスターは水平表示イネーブル信号の長さを定義します。これによって、1水平行あたりの表示文字桁数が決まります。このレジスター内の値は、表示される総文字数から1を引いた値です。

水平ブランキング開始レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が02hである場合に指し示される読み書きレジスターです。

水平文字カウンターがこのレジスター内の値に達すると、水平ブランキング信号がアクティブになります。

水平ブランキング終了レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が03hである場合に指し示される読み書きレジスターです。

Bit	Function
7	Reserved = 1
6	Display Enable Skew Control
5	Display Enable Skew Control
4 - 0	End Horizontal Blanking

図　3-54. 水平ブランキング終了レジスター、インデックス03h

このレジスターは、水平ブランキング出力信号がインアクティブになる時点を決定します。

ビット7　ビット7はチップのテストに使用されます。これは1にセットされていなければなりません。

ビット6, 5　表示イネーブル・スキュー制御。ビット6および5は表示イネーブル・スキューの量を制御します。ディスプレイ・コントローラーがディスプレイ・バッファーにアクセスして文字コードと属性コードを取り出し、キャラクター・ジェネレーター・フォントにアクセスし、そして属性コントローラー内の水平PELパニング・レジスターを通過するための十分な時間を与えるには、表示イネーブル・スキューの制御が必要です。各アクセスごとに、表示イネーブル信号を1文字クロック単位でスキューすることが必要です。これは、ビデオ出力と水平帰線信号および垂直帰線信号との間の同期を確保するためです。図3-55に、個々のビットとそれに対応するスキューの量を示します。

Bit 6	Bit 5	Skew
0	0	Zero-character Clock Skew
0	1	One-character Clock Skew
1	0	Two-character Clock Skew
1	1	Three-character Clock Skew

図　3-55. ビット値とスキューの量

ビット4〜0 水平ブランキング終了。これは水平文字カウンター値の低位5ビットに等しい値で、水平ブランキング信号がインアクティブ（論理値0）になる時点を示します。幅Wのブランキング信号を得るには、次のアルゴリズムを使用します。ブランキング開始レジスターの値 + ブランキング信号の幅（文字クロック・ユニット数） = 水平ブランキング終了レジスター内でプログラミングする6ビットの値。ビット5は、水平帰線終了レジスター（インデックス05h）内で使われます。

水平帰線開始パルス・レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が04hである場合に指し示される読み書きレジスターです。

このレジスターの目的は、画面を水平方向の中央に位置付けすること、および水平帰線信号がアクティブになる文字位置を指定することにあります。プログラミングする値は、信号がアクティブになる文字位置の2進カウント値です。

水平帰線終了レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が05hである場合に指し示される読み書きレジスターです。

Bit	Function
7	End Horizontal Blanking, Bit 5
6, 5	Horizontal Retrace Delay
4 - 0	End Horizontal Retrace

図　3-56. 水平帰線終了レジスター、インデックス05h

このレジスターは、水平帰線パルスがインアクティブ（論理値0）になる文字位置を指定します。

ビット7 水平ブランキング終了。水平ブランキング終了レジスター（インデックス、03h）の水平ブランキング終了値の最上位ビットです。

ビット6, 5 ビット6および5は、水平帰線信号のスキューを定義します。2進値00は水平帰線の遅延がないことを示します。モードによっては、ブランキング期間全体を占めるような水平帰線信号が必要とされることがあります。一部の内部的なタイミングは、水平帰線信号の立ち上りエッジによって生成されます。信号が正しくラッチされるようにするために、表示イネーブル信号の終了前に帰線信号が開始されます。そして、画面の中央位置決めが正しく行われるように数文字クロック分の時間がスキューされます。

ビット4〜0 これは、水平文字カウンター値の低位5ビットに等しい値で、水平帰線信号がインアクティブ（論理値0）になる時点を示します。幅Wの帰線信号を得るには次のアルゴリズムを使用します。帰線開始レジスターの値 + 水平帰線信号の幅（文字クロック・ユニット数） = 水平帰線終了レジスター内にプログラミングする5ビットの値。

垂直総数レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が06hである場合に指し示される読み書きレジスターです。

このレジスターには、10ビットのレジスターの下位8ビットが入ります。この2進値は、CRT上の水平ラスター走査の数から2を引いた値で、これには垂直帰線数も含まれます。このレジスター内の値によって、垂直帰線信号の周期が決まります。

このレジスターのビット8は、ディスプレイ・コントローラー・オーバーフロー・レジスター（インデックス07h）のビット0に入っています。

このレジスターのビット9は、ディスプレイ・コントローラー・オーバーフロー・レジスター（インデックス07h）のビット5に入ってます。

ディスプレイ・コントローラー・オーバーフロー・レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が07hである場合に指し示される読み書きレジスターです。

Bit	Function
7	Bit 9 of the Vertical Retrace Start (Index hex 10)
6	Bit 9 of the Vertical Display Enable End (Index hex 12)
5	Bit 9 of the Vertical Total (Index hex 6)
4	Bit 8 of the Line Compare (Index hex 18)
3	Bit 8 of the Start Vertical Blanking (Index hex 15)
2	Bit 8 of the Vertical Retrace Start (Index hex 10)
1	Bit 8 of the Vertical Display Enable End (Index hex 12)
0	Bit 8 of the Vertical Total (Index hex 6)

図　3-57. ディスプレイ・コントローラー・オーバーフロー・レジスター、インデックス07h

プリセット行走査レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が08hである場合に指し示される読み書きレジスターです。

Bit	Function
7	Reserved = 0
6	Byte Panning Control
5	Byte Panning Control
4 - 0	Starting Row Scan Count after a Vertical Retrace

図　3-58. プリセット行走査レジスター、インデックス08h

このレジスターはPELスクロールのために使用します。

ビット7　予約済み

ビット6, 5 ビット6および5は、複数シフト・モードとしてプログラミングされたモードでのバイト・パニングを制御します。（現時点では、複数シフト操作用にプログラミングされているモードはありません。）この制御はPELパニング操作で必要とされます。属性セクション内のPELパニング・レジスターにより、7つまたは8つのPELの個別パニングが可能です。単一バイト・シフト・モードでは、次の高位PEL（8または9）にパンするために、ディスプレイ・コントローラー開始アドレスが増やされ、属性パニングが0にリセットされます。複数シフト・モードでは、バイト・パニング・ビットが属性PELパニング・レジスターの拡張として使われます。これにより、ビデオ出力シフトの全幅でパニングができます。たとえば32ビット・シフト・モードでは、バイト・パニング・ビットとPELパニング・ビットが31ビットまでのパニング能力を提供します。位置31から32へのパニングのためには、ディスプレイ・コントローラー開始アドレスが増やされ、PELパニング・ビットおよびバイト・パニング・ビットが0にリセットされます。これらのビットは通常は0にセットします。

ビット4〜0 ビット4〜0は、垂直帰線の後の開始行走査カウントを指定します。行走査カウンターは、最大行走査が生じるまで水平帰線の発生のたびに増加します。最大行走査比較の時点で、行走査はクリアーされます（プリセットされません）。

最大走査線レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が09hである場合に指し示される読み書きレジスターです。

Bit	Function
7	200 --> 400 Line Conversion
6	Bit 9 of the Line Compare (Index hex 18)
5	Bit 9 of the Start Vertical Blanking (Index hex 15)
4 - 0	Maximum Scan Line

図　3-59. 最大走査線レジスター、インデックス09h

ビット7 ビット7を1にセットすると、走査線数200から400への変換が行われます。そのために、行走査カウンター内のクロックが2分周されます。これによって、元の200本モードがディスプレイ上で400本として表示できるようになります（これは2重走査と呼ばれ、各線が2度表示されます）。ビット7を0にセットすると、行走査カウンターへのクロックは水平走査レートに等しくなります。2重走査はイネーブルされません。

ビット6 ライン比較レジスター（インデックス18h）のビット9。

ビット5 垂直ブランキング開始レジスター（インデックス15h）のビット9。

ビット4〜0 ビット4〜0は、文字行1つあたりの走査線数を指定します。プログラミングする値は、最大行走査数から1を引いた値です。

カーソル開始レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が0Ahである場合に指し示される読み書きレジスターです。

Bit	Function
7, 6	Reserved = 0
5	Cursor Off
4 - 0	Row Scan Cursor begins

図　3-60. カーソル開始レジスター、インデックス0Ah

ビット7, 6 予約済み

ビット5 ビット5を1にセットするとカーソルがオフにされます。ビット5を0にセットするとカーソルがオンにされます。

ビット4〜0 ビット4〜0は、カーソルを開始する文字行の行走査を指定します。プログラミングする値は、開始カーソル行走査から1を引いた値です。

カーソル開始レジスター内でプログラミングした値がカーソル終了レジスターの値より大きいと、カーソルは表示されません。

カーソル終了レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスターの値が0Bhである場合に指し示される読み書きレジスターです。

Bit	Function
7	Reserved = 0
6, 5	Cursor Skew Control
4 - 0	Row Scan Cursor ends

図　3-61. カーソル終了レジスター、インデックス0Bh

ビット7　予約済み

ビット6, 5 ビット6および5はカーソル信号のスキューを制御します。カーソル・スキューの値は、選択したクロック数だけカーソルを遅らせます。たとえば、スキューが1であれば、画面上でカーソルが1桁右に移動します。

Bit 6	Bit 5	Function
0	0	Zero-character Clock Skew
0	1	One-character Clock Skew
1	0	Two-character Clock Skew
1	1	Three-character Clock Skew

図　3-62. カーソル・スキュー

ビット4〜0 カーソル終了。ビット4〜0は、カーソルが終了する文字ボックス内の行を指定します。

開始アドレス高位レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が0Chである場合に指し示される読み書きレジスターです。

このレジスターには開始アドレスの高位8ビットが入ります。開始アドレス高位レジスターおよび開始アドレス低位レジスターを連結した16ビットの値が、各画面リフレッシュでの垂直帰線後の最初のアドレスです。

開始アドレス低位レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が0Dhである場合に指し示される読み書きレジスターです。

このレジスターには開始アドレスの低位8ビットが入ります。

カーソル位置高位レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が0Ehである場合に指し示される読み書きレジスターです。

このレジスターにはカーソル位置の高位8ビットが入ります。

カーソル位置低位レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が0Fhである場合に指し示される読み書きレジスターです。

このレジスターにはカーソル位置の低位8ビットが入ります。

垂直帰線開始レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が10hである場合に指し示される読み書きレジスターです。

このレジスターには、垂直帰線信号開始位置の低位8ビットが入ります。この値は水平走査線数を単位としてプログラミングされます。ビット8および9はディスプレイ・コントローラー・オーバーフロー・レジスター（インデックス07h）に入っています。

垂直帰線終了レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が11hである場合に指し示される読み書きレジスターです。

Bit	Function
7	Protect R0-7
6	Select 5 Refresh Cycles
5	Enable Vertical Interrupt=0
4	Clear Vertical Interrupt=0
3 - 0	Vertical Retrace End

図　3-63. 垂直帰線終了レジスター、インデックス11h

ビット7　ビット7を1にセットすると、ディスプレイ・コントローラー・レジスター0～7への書き込みがディセーブルされます。ビット7を0にセットすると、ディスプレイ・コントローラー・レジスターへの書き込みがイネーブルされます。ディスプレイ・コントローラー・オーバーフロー・レジスター（インデックス07h）のビット4は保護されません。

ビット6　ビット6を1にセットすると、水平走査線1本あたり5個のDRAMリフレッシュ・サイクルが生成されます。5個のリフレッシュ・サイクルを選択すれば、低速掃引レート・ディスプレイ（15.75 KHz）でVGAチップが使用できるようになります。ビット6を0にセットすると、3つのリフレッシュ・サイクルが選択されます。このビットは、モードのセット、リセット、または電源投入のときにBIOSにより0にセットされます。

ビット5　PS/2と互換性のあるビデオ・サブシステムではこのビット5を0にセットすると、垂直帰線割り込みがイネーブルされます。この垂直帰線割り込みはIRQ2で発生します。この割り込みレベルは共用可能なので、入力ステータス・レジスター0のビット7を調べて、その割り込みを出したのがVGAかどうかを判別してください。ビット4の場合と同様に、このレジスター内の他のビットは変更しないでください。

ビット4　PS/2と互換性のあるビデオ・サブシステムではこのビット4を0にセットすると、垂直帰線割り込みがクリアーされます。アクティブな垂直表示時間の終わりに、VGA内で垂直割り込みを示すフリップ・フロップがセットされます。このフリップ・フロップの出力は、システム・ボード割り込みコントローラーに渡されます。割り込みハンドラーが、まずこのビットに0を書き込み、次にこのビットを1にセットすることで、このフリップ・フロップをリセットします。これは、このフリップ・フロップによって割り込みがインアクティブな状態のままになるのを防ぐためです。このレジスター内の他のビットは変更しないでください。このレジスターは読み出し可能なので、読み出しを行うことによって、フリップ・フロップのリセットの前の他のビット設定の状況を知ることができます。

ビット3〜0　ビット3〜0は、水平帰線信号がインアクティブになる時点の水平走査線カウント値を決定します。これは水平走査線数を単位としてプログラミングします。幅Wの垂直帰線信号を得るには、次のアルゴリズムを使用します。垂直帰線開始レジスターの値 + 垂直帰線信号の幅（水平走査線数） = 水平帰線終了レジスター内でプログラミングする4ビットの値。

垂直表示イネーブル終了レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が12hである場合に指し示される読み書きレジスターです。

このレジスターには、垂直表示イネーブル終了位置を定義する10ビットの値の低位8ビットが入ります。

この値のビット8はディスプレイ・コントローラー・オーバーフロー・レジスター（インデックス07h）のビット1に入っています。

この値のビット8はディスプレイ・コントローラー・オーバーフロー・レジスター（インデックス07h）のビット6に入っています。

この値は、画面上のアクティブ・ビデオ域がどの走査線で終わるかを指定します。この値は走査線の総数から1を引いたものです。

オフセット・レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が13hである場合に指し示される読み書きレジスターです。

このレジスターは、画面上での走査線の論理的な幅を指定します。文字行において、次行の開始メモリー・アドレスは現在行より、この値の2倍または4倍だけ大きくなります。オフセット・レジスターにはワード・アドレスをプログラミングします。このワード・アドレスは、ディスプレイ・コントローラーをクロッキングする方式に応じて、1ワード・アドレスまたはダブル・ワード・アドレスのいずれかとなります。

下線位置レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が14hである場合に指し示される読み書きレジスターです。

Bit	Function
7	Reserved = 0
6	Doubleword Mode
5	Count by 4
4 - 0	Horizontal Row Scan where Underline will occur

図　3-64. 下線位置レジスター、インデックス14h

ビット7　予約済み

ビット6　ビット6を1にセットすると、メモリー・アドレスはダブル・ワード・アドレスとなります。（3-73ページの『CRTCモード制御レジスター』を参照してください。）

ビット5　ビット5が1であれば、メモリー・アドレス・カウンターは4分周された文字クロックでクロッキングされます。このビットが使われるのはダブル・ワード・アドレスを使用する場合です。

ビット4〜0　ビット4〜0は、下線が発生する文字行の水平行走査線を指定します。プログラミングする値は目的の走査線番号から1を引いた値です。

垂直ブランキング開始レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が15hである場合に指し示される読み書きレジスターです。

このレジスターには、10ビット値の低位8ビットが入ります。ビット8はCRTCオーバーフロー・レジスター（インデックス07h）に入っています。ビット9は最大走査線レジスター（インデックス09h）に入っています。

この10ビットの値は、垂直ブランキング信号がアクティブになる位置の水平走査線カウントから1を引いた値です。

垂直ブランキング終了レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が16hである場合に指し示される読み書きレジスターです。

このレジスターは、垂直ブランキング信号がインアクティブになる時点の水平走査線カウント値を指定します。このレジスターは水平走査線数を単位としてプログラミングします。

幅Wの垂直ブランキング信号を得るには、次のアルゴリズムを使います。（垂直ブランキング開始レジスターの値 - 1） + 垂直ブランキング信号の幅（水平走査線数） ＝ 垂直ブランキング終了レジスター内にプログラミングする8ビットの値。

CRTCモード制御レジスター

これはディスプレイ・コントローラー・アドレス・レジスター内の値が17hである場合に指し示される読み書きレジスターです。

Bit	Function
7	Hardware Reset
6	Word/Byte Mode
5	Address Wrap
4	Reserved = 0
3	Count by 2
2	Horizontal Retrace Select
1	Select Row Scan Counter
0	Compatibility Mode Support 0

図 3-65. CRTCモード制御レジスター、インデックス17h

ビット7 ビット7を1にセットすると、水平帰線および垂直帰線がイネーブルされます。ビット7を0にセットすると、水平帰線および垂直帰線がクリアーされます。このビットによって他のレジスターまたは出力がリセットされることはありません。

ビット6 ビット6を1にセットすると、バイト・アドレス・モードが選択されます。ビット6を0にセットすると、ワード・アドレス・モードでメモリー・アドレス・カウンターのすべてのビットが1ビットずつ下にシフトされます。その結果、カウンターの最上位ビットがメモリー・アドレス出力の最下位ビットに現れます。

ディスプレイ・コントローラー内の垂直ブランキング終了レジスターのビット6にも、このアドレス出力を制御する働きがあります。そのビットが0のときは、上記のビット6が効力を持ちます。そのビットが1のときはアドレス出力が2ビットだけシフトされます。（3-74ページの図3-66を参照してください。）

Memory Address	Byte Address Mode	Word Address Mode	Doubleword Address Mode
MA 0/RFA 0	MA 0	MA 15 or MA 13	MA 12
MA 1/RFA 1	MA 1	MA 0	MA 13
MA 2/RFA 2	MA 2	MA 1	MA 0
MA 3/RFA 3	MA 3	MA 2	MA 1
MA 4/RFA 4	MA 4	MA 3	MA 2
MA 5/RFA 5	MA 5	MA 4	MA 3
MA 6/RFA 6	MA 6	MA 5	MA 4
MA 7/RFA 7	MA 7	MA 6	MA 5
MA 8/RFA 8	MA 8	MA 7	MA 6
MA 9	MA 9	MA 8	MA 7
MA 10	MA 10	MA 9	MA 8
MA 11	MA 11	MA 10	MA 9
MA 12	MA 12	MA 11	MA 10
MA 13	MA 13	MA 12	MA 11
MA 14	MA 14	MA 13	MA 12
MA 15	MA 15	MA 14	MA 13

図　3-66. 内部メモリー・アドレス・カウンターと出力マルチプレクサーとの対応

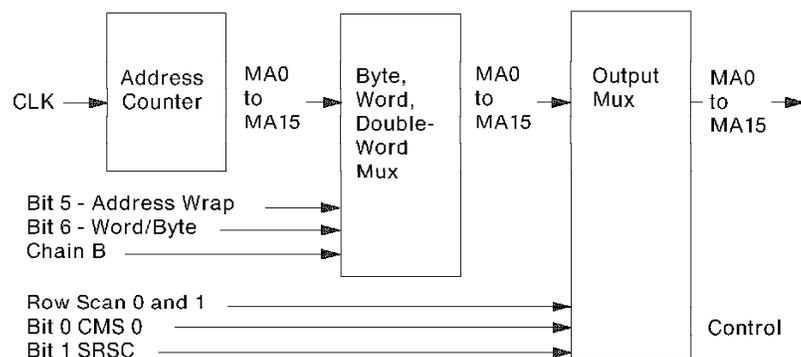



図　3-67. ディスプレイ・コントローラー・メモリー・アドレスのマッピング

ビット5　アドレス折り返し。ビット5は、メモリー・アドレス・カウンターのビットMA13またはビットMA15を選択します。ワード・アドレス・モードでは、ここで選択された方のビットがMA0出力ピンに現れます。VGAがワード・アドレス・モードになっていないときは、カウンター出力MA0がMA0出力ピンに現れます。ビット5を1にセットすると、MA15が選択されます。奇数/偶数モードでは、256KBのビデオ・メモリーがシステム・ボードに取り付けられているので、ビットMA15が選択されます。（64KBのメモリーを使用する適用業務ではビットMA13が選択されます。この機能はIBMカラー/グラフィック・モニター・アダプターとの適合性を確保します。）

ビット4　予約済み

ビット3　2分割。ビット3を1にセットすると、2分周された文字クロック入力でメモリー・アドレス・カウンターがクロッキングされます。ビット3を0にセットすると、文字クロック入力でメモリー・アドレス・カウンターがクロッキングされます。このビットは、ディスプレイ・バッファー用にバイト・リフレッシュ・アドレスまたはワード・リフレッシュ・アドレスを生成するために使われます。

ビット2　水平帰線選択。このビットは、垂直タイミング・カウンターを制御するクロックとして、水平帰線または2分周した水平帰線のどちらかを選択します。このビットを用いて、ディスプレイ・コントローラーの垂直分解能を2倍にすることができます。垂直総数レジスターが10ビット幅なので、垂直カウンターの最大分解能は走査線1024本です。2分周した水平帰線で垂直カウンターをクロッキングすれば、垂直分解能が2倍（水平走査線数2048）になります。ビット2を1にセットすると、2分周した水平帰線が選択されます。ビット2を0にセットすると、水平帰線が選択されます。

ビット1　行走査カウンター選択。ビット1を1にセットすると、MA14出力ピンに現れる行走査カウンター・ビットとしてMA14が選択されます。ビット1を0にセットすると、MA14出力ピンに現れる行走査カウンター・ビットとして1が選択されます。

ビット0　適合モード・サポート。ビット0を1にセットすると、ディスプレイ・コントローラーのMA13出力ピンにカウンター・ビットMA13が現れます。ビット0を0にセットすると、アクティブな表示時間中、MA13の代わりに行走査アドレス・ビット0が使用されます。IBMカラー・グラフィック・モニター・アダプターで使われているディスプレイ・コントローラーは6845です。6845は、128走査線のアドレス指定能力を備えています。640 x 200のグラフィックス分解能を得るには、1文字行あたり2個の走査線アドレスを持つ100本の走査線になるように、ディスプレイ・コントローラーをプログラミングします。行走査アドレス・ビット0は、ディスプレイ・バッファーへの最上位アドレス・ビットとなります。ディスプレイ・イメージの連続した走査線は、メモリー内の8KBに移されます。このビットにより、6845およびカラー・グラフィックスAPA操作モードとの適合性が得られます。

ライン比較レジスター

これは、ディスプレイ・コントローラー・アドレス・レジスター内の値が18hである場合に指し示される読み書きレジスターです。

このレジスターには、比較対処の低位8ビットが入ります。垂直カウンターがこの値に達すると、ライン・カウンターの内部開始がクリアーされます。その結果、画面上の一区域がスクロールの影響を受けなくなります。この値のビット8は、ディスプレイ・コントローラー・オーバーフロー・レジスター（インデックス07h）に入っています。ビット9は、最大走査線レジスター（インデックス09h）に入っています。

3.2.15 グラフィックス・コントローラー・レジスター

この節では下記のレジスターについて説明します。

Name	Port (hex)	Index (hex)
Graphics Address	03CE	-
Set/Reset	03CF	00
Enable Set/Reset	03CF	01
Color Compare	03CF	02
Data Rotate	03CF	03
Read Map Select	03CF	04
Graphics Mode	03CF	05
Miscellaneous	03CF	06
Color Don't Care	03CF	07
Bit Mask	03CF	08

図　3-68. グラフィックス・コントローラー・レジスターの概要

グラフィックス・アドレス・レジスター

これは読み書きレジスターであり、このレジスターのポート・アドレスは03CEhです。

Bit	Function
7 - 4	Reserved = 0
3 - 0	Graphics Address

図　3-69. グラフィックス・アドレス・レジスター

ビット7〜4 予約済み

ビット3〜0 ビット3〜0は、グラフィックス・セクション内の他のレジスターを指し示します。

セット/リセット・レジスター

これは、グラフィックス・アドレス・レジスター内の値によって指し示される読み書きレジスターの1つです。その値が00hになっていないと、セット/リセット・レジスターへの書き込みはできません。このレジスターのポート・アドレスは03CFhです。

Bit	Function
7 - 4	Reserved = 0
3	Set/Reset Map 3
2	Set/Reset Map 2
1	Set/Reset Map 1
0	Set/Reset Map 0

図 3-70. セット/リセット・レジスター、インデックス00h

ビット7〜4 予約済み

ビット3〜0 ビット3〜0は、それぞれ対応するマップの8つのビットすべてに書き込まれる値を表します。この書き込みが行われるのは、書き込みモード0が選択されセット/リセット・モードがイネーブルされた状態で、システム・マイクロプロセッサーがメモリー書き込みを行った場合です。イネーブル・セット/リセット・レジスター（インデックス01h）に対するOUT命令を個別に出すことによって、マップ別にセット/リセットをイネーブルすることができます。

イネーブル・セット/リセット・レジスター

これは、グラフィックス・アドレス・レジスター内の値によって指し示される読み書きレジスターの1つです。その値が01hになっていないと、イネーブル・セット/リセット・レジスターへの書き込みはできません。このレジスターのポート・アドレスは03CFhです。

Bit	Function
7 - 4	Reserved = 0
3	Enable Set/Reset Map 3
2	Enable Set/Reset Map 2
1	Enable Set/Reset Map 1
0	Enable Set/Reset Map 0

図 3-71. イネーブル・セット/リセット・レジスター、インデックス01h

ビット7〜4 予約済み

ビット3〜0 ビット3〜0はセット/リセット機能をイネーブルします。この機能をイネーブル（ビット値を1にセット）した場合、書き込みモードが0であれば、該当のメモリー・マップにセット/リセット・レジスターの値が書き込まれます。書き込みモードが0のときに、あるマップについてセット/リセットをイネーブルしなかった（ビット値を0にセットした）場合は、そのマップにはシステム・マイクロプロセッサー・データの値が書き込まれます。

色比較レジスター

これは、グラフィックス・アドレス・レジスター内の値によって指し示される読み書きレジスターの1つです。その値が02hになっていないと、色比較レジスターへの書き込みはできません。このレジスターのポート・アドレスは03CFhです。

Bit	Function
7 - 4	Reserved = 0
3	Color Compare Map 3
2	Color Compare Map 2
1	Color Compare Map 1
0	Color Compare Map 0

図　3-72. 色比較レジスター、インデックス02h

ビット7〜4 予約済み

ビット3〜0 ビット3〜0は、比較の対象とする4ビットのカラー値を表します。システム・マイクロプロセッサーがグラフィックス・モード・レジスター（インデックス05h）の中の読み出しタイプ・ビットをセットしメモリー読み出しを行う場合は、メモリー・サイクルから戻されるデータでは、4つのマップが色比較レジスターに等しい場合そのビット位置が1になります。

色比較ビットは、対応するマップのバイトのすべてのビットが比較される値です。選択したバイトの8つのビット位置の各々が4つのマップについて比較され、4つのすべてのマップのビットがそれぞれ対応する色比較値に等しい場合に、各ビット位置に1が戻されます。

データ回転レジスター

これは、グラフィックス・アドレス・レジスター内の値によって指し示される読み書きレジスターの1つです。その値が03hになっていないと、データ回転レジスターへの書き込みはできません。このレジスターのポート・アドレスは03CFhです。

Bit	Function
7 - 5	Reserved = 0
4	Function Select
3	Function Select
2	Rotate Count 2
1	Rotate Count 1
0	Rotate Count 0

図　3-73. データ回転レジスター、インデックス03h

ビット7〜5 予約済み

ビット4, 3 メモリーに書き込まれるデータは、システム・マイクロプロセッサーから出力されたデータと論理演算することができます。

対象となるデータは、システム・マイクロプロセッサーからのデータを除いて、グラフィックス・モード・レジスター（インデックス05h）内で書き込みモード・ビットによって選択できるものならば何でもかまいません。システム・マイクロプロセッサーのデータは変更できません。回転するデータを選択した場合は、回転が行われてからこの論理演算が実行されます。各ビットの機能は図3-74のとおりです。

4	3	Function
0	0	Data unmodified.
0	1	Data ANDed with latched data.
1	0	Data ORed with latched data.
1	1	Data XORed with latched data.

図　3-74. 機能選択ビットの定義

ビット2〜0 回転カウント。ビット2〜0は、システム・マイクロプロセッサー・メモリーの書き込み時に、システム・マイクロプロセッサー・データ・バスが右回転されるビット位置の個数を示す2進コード値です。この操作が行われるのは書き込みモードが0のときです。非回転データを書き込むには、システム・マイクロプロセッサーは0のカウントを選択しなければなりません。

読み出しマップ選択レジスター

これは、グラフィックス・アドレス・レジスター内の値によって指し示される読み書きレジスターの1つです。その値が04hになっていないと、読み出しマップ選択レジスターへの書き込みはできません。このレジスターのポート・アドレスは03CFhです。

Bit	Function
7 - 2	Reserved = 0
1	Map Select 1
0	Map Select 0

図　3-75. 読み出しマップ選択レジスター、インデックス04h

ビット7〜2 予約済み

ビット1, 0 ビット1および0はメモリー・マップの2進コード値を表す値で、システム・マイクロプロセッサーはこのマップからデータを読み出します。このレジスターは、色比較読み出しモードには効力はありません。奇数/偶数モードでは、この値は、チェーンされたマップ0, 1 (2, 3)を示す00または01（10または11）です。

グラフィックス・モード・レジスター

これは、グラフィックス・アドレス・レジスター内の値によって指し示される読み書きレジスターの1つです。その値が05hになっていないと、グラフィックス・モード・レジスターへの書き込みはできません。このレジスターのポート・アドレスは03CFhです。

Bit	Function
7	Reserved = 0
6	256-Color Mode
5	Shift Register Mode
4	Odd/Even
3	Read Type
2	Reserved = 0
1, 0	Write Mode

図　3-76. グラフィックス・モード・レジスター、インデックス05h

ビット7　予約済み

ビット6　ビット6を1にセットすると、256色モードをサポートする形でシフト・レジスターがロードされます。ビット6を0にセットした場合は、ビット5によってシフト・レジスターのロードを制御できます。

ビット5　ビット5を1にセットすると、グラフィックス・セクション内のシフト・レジスターは、偶数番号の両マップからの偶数番号のビットおよび奇数番号の両マップからの奇数番号のビットを用いて、シリアル・データ・ストリームをフォーマットします。このビットはモード4および5に使用されます。

ビット4　奇数/偶数。ビット4を1にセットすると、奇数/偶数アドレス指定モードが選択されます。このモードは、IBMカラー・グラフィック・モニター・アダプター適合モードのエミュレーションのために使用されます。通常、この値は、シーケンサーのメモリー・モード・レジスターのビット2（奇数/偶数）の値に従います。

ビット3　読み出しタイプ。ビット3を1にセットすると、システム・マイクロプロセッサーは、4つのメモリー・マップおよび色比較レジスター（インデックス02h）の比較の結果を読み出します。ビット3を0にセットすると、システム・マイクロプロセッサーは、読み出しマップ選択レジスターによって選択したメモリー・マップからデータを読み出します。ただし、メモリー・モード・レジスターのビット3（チェーン4）が1である場合は、読み出しマップ選択レジスター（インデックス04h）には効力はありません。

ビット2　予約済み

ビット1, 0 書き込みモード。

このビットの機能は図3-77に示すとおりです。

1	0	Function
0	0	マップのためにセット／リセットがイネーブルになっていない限り、各メモリー・マップには、データ回転レジスターの値によって回転を行ったシステム・マイクロプロセッサーのデータが書かれます。セット／リセットがイネーブルになっている場合は、セット／リセット・レジスターの値が8ビットで書かれます。
0	1	各メモリー・マップには、システム・マイクロプロセッサー・ラッチの内容が書かれます。これらのラッチは、システム・マイクロプロセッサーの読み取りによってロードされます。
1	0	メモリー・マップ *n* (0 から3) はデータ・ビット*n*で充当されます。
1	1	各メモリー・マップには、セット／リセット・レジスターの値が8ビットで書かれます。システム・マイクロプロセッサー・データは回転を行った後、ビット・マスク・レジスターとANDされ、8ビットの値を生成します。これにより、書き込みモード0および2 (3-83ページの『ビット・マスク・レジスター』参照)でビット・マスク・レジスターが行うのと同じ機能を遂行します。

図　3-77. 書き込みモード・ビットの定義

データ回転レジスター（インデックス03h）の中の機能選択ビットに指定した論理機能は、上記のモード0, 2, および3に従ってメモリーに書き込まれるデータに適用されます。

多目的レジスター

これは、グラフィックス・アドレス・レジスター内の値によって指し示される読み書きレジスターです。その値が06hになっていないと、多目的レジスターへの書き込みはできません。このレジスターのポート・アドレスは03CFhです。

Bit	Function
7 - 4	Reserved = 0
3	Memory Map 1
2	Memory Map 0
1	Odd/Even
0	Graphics Mode

図　3-78. 多目的レジスター、インデックス06h

ビット7〜4 予約済み

ビット3, 2 ビット3および2は、システム・マイクロプロセッサー・アドレス空間への再生成バッファーのマッピングを制御します。各ビットの機能は図3-79に示すとおりです。

3	2	Function
0	0	Hex A0000 for 128KB
0	1	Hex A0000 for 64KB
1	0	Hex B0000 for 32KB
1	1	Hex B8000 for 32KB

図 3-79. メモリー・マップ・ビットの定義

ビット1 奇数/偶数。ビット1を1にセットすると、システム・マイクロプロセッサー・アドレス・ビット0がそれより高位のビットで置き換えられ、選択する奇数/偶数マップがシステム・マイクロプロセッサーA0ビットの奇数/偶数値で置き換えられます。

ビット0 グラフィックス・モード。ビット0は英数字モード・アドレス指定を制御します。ビット0を1にセットすると、グラフィックス・モードが選択され、キャラクター・ジェネレーターのアドレス・ラッチがディセーブルされます。

色比較除外レジスター

これは、グラフィックス・アドレス・レジスター内の値によって指し示される読み書きレジスターの1つです。その値が07hになっていないと、色比較除外レジスターへの書き込みはできません。このレジスターのポート・アドレスは03CFhです。

Bit	Function
7 - 4	Reserved = 0
3	Map 3 = Don't Care
2	Map 2 = Don't Care
1	Map 1 = Don't Care
0	Map 0 = Don't Care

図　3-80. 色比較除外レジスター、インデックス07h

ビット7〜4 予約済み

ビット3〜0 ビット3〜0のどれかを1にセットすると、それに対応するマップが色比較サイクルに組み込まれます。ビット3〜0のどれかを0にセットすると、それに対応するマップが色比較サイクルから除外されます。

ビット・マスク・レジスター

これは、グラフィックス・アドレス・レジスター内の値によって指し示される読み書きレジスターの1つです。その値が08hになっていないと、ビット・マスク・レジスターへの書き込みはできません。このレジスターのポート・アドレスは03CFhです。

このレジスターのビットのどれかを1にセットすると、各マップの対応するビットへの書き込みが可能になります。ビットのどれかを0にセットすると、各マップ内の対応するビットは変更されません。ただしこれは、書き込もうとしている位置が、システム・マイクロプロセッサーによって最後に読み出された位置である場合に限ります。

ビット・マスクは、書き込みモード0および2に適用されます。ビット・マスクを使ってビットを保存するには、該当の位置の読み出しによってデータが内部的にラッチされていなければなりません。ビットを保護するためにデータが書き込まれるときは、ラッチ内の最新のデータが該当位置に書き込まれます。ビット・マスクはすべてのマスクに同時に適用されます。

3.2.16 属性制御レジスター

この節では下記のレジスターについて説明します。

Name	Port (hex)	Index (hex)
Address Register	03C0/1	-
Palette Registers	03C0/1	00-0F
Attribute Mode Control Register	03C0/1	10
Overscan Color Register	03C0/1	11
Color Plane Enable Register	03C0/1	12
Horizontal PEL Panning Register	03C0/1	13
Color Select Register	03C0/1	14

図 3-81. 属性制御レジスターの概要

以下の説明に示すように、各属性データ・レジスターは03C0hで書き込まれます。レジスターからのデータは03C1hで読み出されます。

属性アドレス・レジスター

これは読み書きレジスターです。ポート・アドレスは03C0hです。

Bit	Function
7, 6	Reserved = 0
5	Palette Address Source
4 - 0	Attribute Address

図 3-82. 属性アドレス・レジスター

ビット7, 6 予約済み

ビット5 属性コントローラーの通常操作の場合は、ビット5を1にセットしてください。これにより、パレット・レジスターにアクセスするためのビデオ・メモリー・データがイネーブルされます。パレット・レジスターをロードする場合は、ビット5を0にセットしてください。

ビット4〜0 ビット4〜0は、データをどの属性データ・レジスターに書き込むかを示す2進値です。

属性制御レジスターには、アドレス・レジスターおよびデータ・レジスターの選択を制御するためのアドレス・ビット入力はありません。内部アドレス・ラッチが、アドレス・レジスターまたはデータ・レジスターのどちらかの選択を制御します。このラッチを初期化するために、入力ステータス・レジスター１（アドレス03BAhまたは03DAh）に対してI/Oリード命令が出されます。これによりラッチがクリアーされ、アドレス・レジスターが選択されます。03C0hへのOUT命令によりアドレス・レジスターがロードされた後、03C0hへの次の

OUT命令によりデータ・レジスターがロードされます。このラッチは、属性コントローラーに対するOUT命令が出るたびにトグルします。03C1hの読み出しのためのIN命令では、このラッチはトグルしません。（3-90ページの3.2.17、『VGAのプログラミング上の考慮点』を参照してください。）

パレット・レジスター

これらの読み書きレジスターは、属性アドレス・レジスター内の値によって指し示されます。その値が00h〜0Fhになっていないと、これらのレジスターへの書き込みはできません。これらのレジスターの出力ポート・アドレスは03C0hです。入力ポート・アドレスは03C1hです。

Bit	Function
7, 6	Reserved = 0
5	P5
4	P4
3	P3
2	P2
1	P1
0	P0

図　3-83. パレット・レジスター、インデックス00h〜0Fh

ビット7, 6 予約済み

ビット5〜0 ビット5〜0を用いて、テキスト属性またはグラフィック・カラー入力値とCRT上の表示色との間で動的なマッピングができます。この6ビットの値に基づいて該当の色が選択されます。

表示イメージについて問題が生じるのを防ぐために、パレット・レジスターの変更を行うのは垂直帰線期間中だけにしてください。これらの内部パレット・レジスターの値はビデオDACに送られ、そこでビデオDAC内部レジスターへのアドレスとして働きます。（3-20ページの『属性コントローラー』を参照してください。）

属性モード制御レジスター

これは、属性アドレス・レジスター内の値によって指し示される読み書きレジスターです。その値が10hになっていないと、このレジスターへの書き込みはできません。このレジスターの出力ポート・アドレスは03C0hです。このレジスターの入力ポート・アドレスは03C1hです。

Bit	Function
7	P5, P4 Select
6	PEL Width
5	PEL Panning Compatibility
4	Reserved = 0
3	Select Background Intensity or Enable Blink
2	Enable Line Graphics Character Codes
1	Monochrome/Color Emulation
0	Graphics/Alphanumeric Mode

図　3-84. 属性モード制御レジスター、インデックス10h

ビット7　P5, P4の選択。ビット7を1にセットした場合は、P5およびP4は色選択レジスターのビット1および0です。ビット7を0にセットした場合は、P5およびP4はパレット・レジスターの出力です。（3-20ページの『属性コントローラー』および3-99ページの『ビデオDACのプログラミング上の考慮点』を参照してください。）

ビット6　PEL幅。ビット6を1にセットすると、256色モード（13h）での色選択用に8ビットが使えるようにビデオ・パイプラインがサンプリングされます。その他のモードではビット6は0にセットしてください。

ビット5　PELパニング適合性。ビット5を1にセットした場合は、ディスプレイ・コントローラー内でライン比較が成功すると、+VSYNCがアクティブになるまで水平PELパニング・レジスターの出力が強制的に0にされます。+VSYNCがアクティブになると、出力はプログラミングされている値に戻ります。このビットにより、画面上の選択した部分がパンできます。ビット5を0にセットすると、水平PELパニング・レジスターの出力はライン比較の影響を受けません。

ビット4　予約済み

ビット3　明滅イネーブル/背景輝度選択。ビット3を1にセットすると、英数字モードで明滅属性がイネーブルされます。明滅グラフィックス・モードの場合もビット3を1にセットしなければなりません。ビット3を0にセットすると、属性入力の背景輝度が選択されます。このモードは、IBMモノクロ・モニター・アダプターおよびカラー/グラフィック・モニター・アダプターでも使用できます。

ビット2　線グラフィック文字コード・イネーブル。ビット2を1にセットすると、IBMモノクロ・エミュレーション・モード用に特殊な線グラフィック文字コードがイネーブルされます。ビット2を0にセットすると、9番目のドットが背景と同じになります。

線グラフィック文字コードをイネーブルすると、線グラフィック文字の9番目のドットが強制的にその文字の8番目のドットと同じにされます。モノクロ・エミュレーション・モード用の線グラフィック文字コードはC0h～DFhです。

C0h～DFhの範囲内の線グラフィック文字コードを使用しない文字フォントの場合は、ビット2は論理0にセットしなければなりません。さもないと、必要としていないビデオ情報がCRT画面に表示されます。

9ドット英数字モードがセットされているときは、このビットと正しいドット・クロックと他のレジスターをBIOSがセットします。

ビット1　モノクロ/カラー・エミュレーション。ビット1を1にセットすると、モノクロ・エミュレーション・モードがセットされます。ビット1を0にセットすると、カラー・エミュレーション・モードがセットされます。

ビット0　グラフィックス/英数字モード。ビット0を1にセットすると、グラフィックス・モードが選択されます。ビット0を0にセットすると、英数字モードが選択されます。

オーバースキャン色レジスター

これは、属性アドレス・レジスター内の値によって指し示される読み書きレジスターです。その値が11hになっていないと、このレジスターへの書き込みはできません。このレジスターの出力ポート・アドレスは03C0hです。このレジスターの入力ポート・アドレスは03C1hです。

このレジスターは、CRTに表示されるオーバースキャン（ボーダー）の色を決定します。

ボーダーとは、表示域の周囲に示される色の帯のことです。ボーダーの幅は、1行80桁の場合の1文字の幅と同じです。このボーダーは、モード13hの場合を除いて、40桁の英数字モードまたは320-PELのグラフィックス・モードではサポートされていません。

色プレーン・イネーブル・レジスター

これは、属性アドレス・レジスター内の値によって指し示される読み書きレジスターです。その値が12hになっていないと、このレジスターへの書き込みはできません。このレジスターの出力ポート・アドレスは03C0hです。このレジスターの入力ポート・アドレスは03C1hです。

Bit	Function
7, 6	Reserved = 0
5, 4	Video Status MUX
3 - 0	Enable Color Plane

図　3-85. 色プレーン・イネーブル・レジスター、インデックス12h

ビット7, 6 予約済み

ビット5, 4 ビデオ・ステータスMUX。ビット5および4は、ステータス・ポートで使用できる8つの色出力の2つを選択するための値です。図3-86に、指定できるビット値の組み合わせとそれぞれに対応する色出力を示します。

Color Plane Register		Input Status Register 1	
Bit 5	Bit 4	Bit 5	Bit 4
0	0	P2	P0
0	1	P5	P4
1	0	P3	P1
1	1	P7	P6

図　3-86. カラー出力の対応付け

ビット3〜0 色プレーン・イネーブル。ビット3〜0のどれかが1であれば、そのビットに対応するディスプレイ・メモリー色プレーンがイネーブルされます。

水平PELパニング・レジスター

これは、属性アドレス・レジスター内の値によって指し示される読み書きレジスターです。その値が13hになっていないと、このレジスターへの書き込みはできません。このレジスターの出力ポート・アドレスは03C0hです。このレジスターの入力ポート・アドレスは03C1hです。

Bit	Function
7 - 4	Reserved = 0
3 - 0	Horizontal PEL Panning

図　3-87. 水平PELパニング・レジスター、インデックス13h

ビット7〜4 予約済み

ビット3〜0 ビット3〜0は、ビデオ・データをどれだけ左にシフトするかを表すPEL数の値です。PELパニングは、英数字（A/N）モードおよびAPAモードの両方で使用できます。モード0+, 1+, 2+, 3+, 7, および7+では、最高8 PELまでイメージをシフトできます。256色のAPAモード（モード13）では、最高3 PELまでイメージをシフトできます。これ以上のパニングは、ディスプレイ・コントローラー内の開始アドレスを変更することによって達成できます。その他のA/NモードおよびAPAモードでは、最高7 PELまでイメージをシフトできます。イメージのシフト順序は図3-88に示すとおりです。

PEL Panning Register Value	Number of PELs Shifted to the Left		
	0+, 1+, 2+, 3+, 7, 7+	All Other Modes	Mode 13
0	1	0	0
1	2	1	-
2	3	2	1
3	4	3	-
4	5	4	2
5	6	5	-
6	7	6	3
7	8	7	-
8	0	-	-

図　3-88. イメージのシフト

色選択レジスター

これは、属性アドレス・レジスター内の値によって指し示される読み書きレジスターです。その値が14hになっていないと、このレジスターへの書き込みはできません。このレジスターのポート・アドレスは、入力用が03C1hで出力用が03C0hです。

Bit	Function
7 - 4	Reserved = 0
3	S_color 7
2	S_color 6
1	S_color 5
0	S_color 4

図　3-89. 色選択レジスター、インデックス14h

ビット3, 2 ビット3および2は、256色グラフィックス・モードを除くすべてのモードで、8ビットのデジタル色値の高位2ビットを示します。256色グラフィックス・モードでは、ビデオ・メモリーに記憶されている8ビットの属性が、ビデオDACに送られる8ビットのデジタル色値となります。（3.2.17, 『VGAのプログラミング上の考慮点』を参照してください。）

ビット1, 0 ビット1および0は、ビデオDACに送られる8ビットのデジタル値を形成するために、パレット・レジスターからのP4, P5出力の代わりに使用できます。（3-86ページの『属性モード制御レジスター』を参照してください。）ビット1および0は、ビデオDAC内で色のセットをすばやく切り替えるためにも使われます。

3.2.17 VGAのプログラミング上の考慮点

以下に、VGAのためのプログラミング上の考慮点をいくつか示します。

- ディスプレイ・コントローラーを正しく働かせるためには、いくつかの内部タイミングをユーザーが保証しなければなりません。これらのタイミングを保証するには、ディスプレイ・コントローラーのプログラミングの際に以下の規則に従う必要があります。
  - 水平総数レジスターの値は、25（10進数）以上でなければなりません。
  - HSYNCの正の最小パルス幅は、文字クロック単位4個分でなければなりません。
  - 水平表示イネーブル信号が1になるより少なくとも1文字クロック時間前にHSYNC出力が0になるように、水平帰線終了レジスターをプログラミングしなければなりません。
  - 垂直帰線開始レジスターは、垂直表示イネーブル信号の終了時点を定義する垂直表示イネーブル終了レジスターより、少なくとも水平走査線1本分は大きくなければなりません。

  BIOSがビデオ・モードをセットした時点では、上記の条件がすべて満たされています。
- 属性モード制御レジスターのビット5が1の場合に、ディスプレイ・コントローラー内でのライン・比較（3-75ページの『ライン比較レジスター』を参照）が成功すると、VSYNCが発生するま

で水平PELパニング・レジスターの出力が強制的に0にされます。VSYNCが発生すると、出力はプログラミングされている値に戻ります。これは、ライン比較レジスターで指示した画面上の区域を、水平PELパニング・レジスターで操作できるようにするためです。

- 文字マップ選択レジスターへの書き込みは、次の文字行全体に対して有効となります。文字走査行の途中でキャラクター・ジェネレーターを変更しても、変形文字が表示されることはありません。
- 256色320 x 200グラフィックス・モード（13h）の場合は、各PELについてビデオ・メモリーに記憶される8ビットの属性が、DACへの8ビットのアドレス（P0〜P7）となるように、属性コントローラーが構成されます。このモードを使うときは、内部パレット・レジスターの内容を変更しないでください。
- 属性アドレス・レジスターが指し示す属性データ・レジスターのどれかをアクセスするときは、次の手順を用いてください。
  1. 割り込みをディセーブルする。
  2. 読み書きラッチをリセットする。
  3. 属性アドレス・レジスターにインデックスを書き込む。
  4. データ・レジスターからの読み出しまたはデータ・レジスターへの書き込みをする。
  5. 割り込みをイネーブルする。
- 属性コントローラー・セクション内の色選択レジスターを使えば、ビデオDAC内で色のセットをすばやく切り替えることができます。属性モード制御レジスターのビット7が0のときは、ビデオDACに渡される8ビットの色の値は、内部パレット・レジスターからの6ビットに、色選択レジスターからのビット2および3を加えたものです。属性モード制御レジスターのビット7が1のときは、ビデオDACに渡される8ビットの色の値は、内部パレット・レジスターからの低位4ビットに、色選択レジスターからの4ビットを加えたものです。色レジスター内の値を変更することによって、ソフトウェアはビデオDAC内で色のセットをすばやく切り替えます。BIOSは、ビデオDAC内での複数の色セットをサポートしていないので、注意してください。この機能を使用するには、ユーザーがこれらの色をロードしなければなりません。（3-20ページの『属性コントローラー』を参照してください。）この説明は、256色グラフィックス・モード以外の全モードに適用されます。256色モードでは、色選択レジスターを用いた色セットの切り替えはできません。
- ビデオ・ステートを保管するアプリケーションは、システム・マイクロプロセッサー・ラッチに入っている4バイトの情報を記憶しなければなりません。これらのラッチには、システム・マイクロプロセッサーがビデオ・メモリーからの読み出しを行うたびに、ビデオ・メモリーから32ビット（1マップにつき8ビット）がロードされます。このアプリケーションは次のことを行う必要があります。
  1. 書き込みモード1（グラフィックス・モード・レジスター）を使って、ビデオ・メモリー内のディスプレイ・バッファー以外の位置にラッチ内の値を書き込む。アドレス範囲内の最後の位置を選ぶのが安全です。
  2. ラッチの値をビデオ・メモリーから読み出して保管する。

  注: チェーン4モードまたは奇数/偶数モード（メモリー・モード・レジスター）を使っている場合は、上記の手順を行う前に、メモリー編成を4つの順次マップとして再構成する必要があります。BIOSは、ビデオ・ステートを完全に保管し復元するためのサポートを備えていま

す。（*IBM Personal System/2* and Personal Computer BIOS Interface Technical Reference*を参照してください。）

- 水平PELパニング・レジスターの説明には、水平PELパニング・レジスターの個々の有効な値および個々の有効なビデオ・モードについて、左にシフトするPEL数を示す図が含まれています。図に示されている範囲を超えてパニングを行うには、ディスプレイ・コントローラー・レジスター（開始アドレス(H)および開始アドレス(L)）の中の開始アドレスを変更してください。この超過パニングのための手順は次のとおりです。

  1. 水平PELパニング・レジスターを使って、最大ビット数だけ左にシフトする。（シフト可能な値については、3-89ページの図3-87を参照してください。）
  2. 開始アドレスを増加させる。
  3. モード0+, 1+, 2+, 3+, 7, または7+を使用しない場合は、水平PELパニング・レジスターを0にセットする。これらのモードを使用する場合は、水平PELパニング・レジスターを8にセットします。これで、ステップ1のときの位置から1 PEL分だけ左に画面がシフトされます。ステップ1からステップ3は必要に応じて何回でも反復できます。

- 第2画面を第1画面の先頭にスクロールする分割画面適用業務を使用する場合、200線モードでは、ライン比較レジスター（ディスプレイ・コントローラー・レジスター、インデックス18h）では偶数値をプログラミングします。これは、ディスプレイ・コントローラー内の2重走査線論理回路での必須条件です。
- カーソル開始レジスター（ディスプレイ・コントローラー・レジスター、インデックス0Ah）の値として、カーソル終了レジスター（ディスプレイ・コントローラー・レジスター、インデックス0Bh）の値より大きい値をプログラミングすると、カーソルは表示されません。分割カーソルは使用できません。
- 8ドット文字モードでは、IBMカラー/グラフィック・モニター・アダプター、モノクロ・ディスプレイ・アダプター、および拡張グラフィック・アダプターの場合と同様に、下線属性は隣接するいくつかの文字にまたがる実線として現れます。9ドット・モードでは、隣接する文字にまたがる下線は破線になります。9ドット・モードの場合、線グラフィック文字（C0h～DFh）の下線は実線です。

レジスターのプログラミング

ビデオ・サブセクションのそれぞれに、1つのアドレス・レジスターと多くのデータ・レジスターが入っています。アドレス・レジスターは、装置上の他のレジスターを指し示すポインターとして働きます。指し示されたデータ・レジスターは、システム・マイクロプロセッサーがOUT命令を実行したときに、そのレジスターのインデックスを持つI/Oアドレスにロードされます。

各サブセクション内のデータ・レジスターは、1つの共通I/Oアドレスによりアクセスされます。各レジスターを区別するのは、アドレス・レジスター内のポインター（インデックス）です。データ・レジスターの1つに書き込みを行うには、該当するデータ・レジスターのインデックスがアドレス・レジスターにロードされ、次に共通I/OアドレスへのOUT命令の実行によって、選択したデータ・レジスターがロードされます。

汎用レジスターは、アドレス・レジスターによってアクセスされるのではなく、直接書き込まれます。

ビデオDACのアクセスについての詳しいことは、3-98ページの『ビデオDAC/システム・マイクロプロセッサー・インターフェース』を参照してください。

IBM拡張グラフィック・アダプター（EGA）との適合性を確保するために、内部VGAパレットはEGAと同じにプログラミングされています。BIOSは、内部VGAパレット内の適合値がEGAで生成される色と適合する色を生成するように、ビデオDACをプログラミングします。モード13h（256色）は、DAC内の最初の16個の記憶位置が適合色を生成するようにプログラミングされます。

システム・ユニットにモノクロ・ディスプレイが接続されているときに、BIOSを使ってカラー・モード用のビデオDACパレットをロードすると、カラー・パレットが変更されます。カラー適用業務の生成する画面の判読ができるようにするために、色が合計されて明度に変換されます。

変更してはならないビットが4つあります（ただし、リセット・レジスターのビット1を0にセットすることによってシーケンサーをリセットする場合を除きます）。これらのビットは次のとおりです。

- クロッキング・モード・レジスターのビット3またはビット0
- 多目的出力レジスターのビット3またはビット2

RAMロード可能キャラクター・ジェネレーター

キャラクター・ジェネレーターはRAMロード可能であり、最高で走査線32本分の高さを持つ文字をサポートしています。BIOSには3つのキャラクター・ジェネレーターが記憶されていて、英語モードのどれかを選択すると、BIOSはキャラクター・ジェネレーターの1つを自動的にRAMにロードします。文字マップ選択レジスターをプログラミングすることによって、属性バイトのビット3の機能をキャラクター・ジェネレーター・スイッチとして定義することができます。これにより、ユーザーはマップ2に入っている2つの文字セットのどちらかを任意に選択できます。つまり、ユーザーは、実質的には256文字ではなく512文字をアクセスできます。文字テーブルはオフラインでロードできます。最大8つのテーブルをロードできます。DOS/Vの日本語モードではこのキャラクター・ジェネレーターはサポートされていません。

図3-90に文字テーブルの構造を示します。キャラクター・ジェネレーターはマップ2の中にあって、マップ・マスク機能によって保護されていなければなりません。

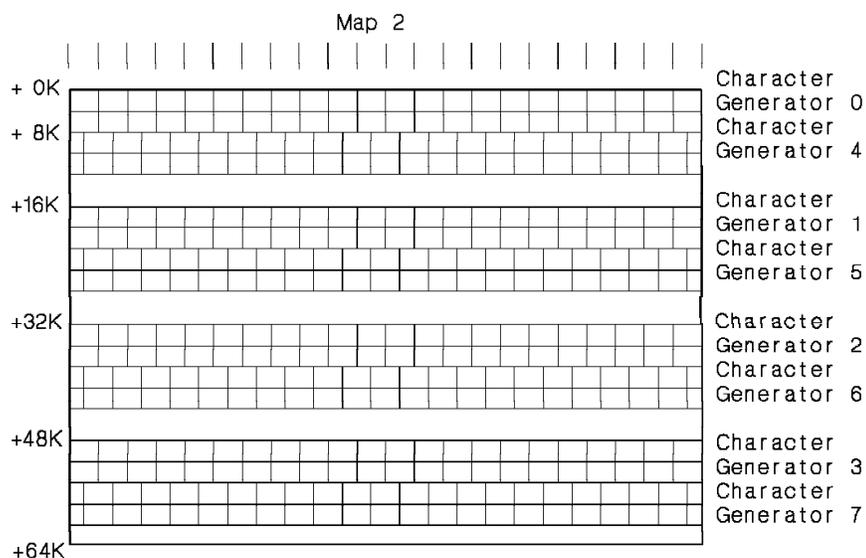



図　3-90. 文字テーブルの構造

図3-91に、各文字パターンの構造を示します。ディスプレイ・コントローラーが*n*行走査を生成するようにプログラミングされている場合は、キャラクター・ジェネレーター内の各文字について*n*バイトが満たされていなければなりません。下の例では、1文字につき8行の走査を想定しています。

Address	Byte Image								Data
CC * 32 + 0				X	X				18H
1			X	X	X	X			3EH
2		X	X			X	X		66H
3		X	X			X	X		66H
4		X	X	X	X	X	X		7EH
5		X	X			X	X		66H
6		X	X			X	X		66H
7		X	X			X	X		66H

注: CCは文字コードの値です。たとえば、41hはASCIIコードの'A'を表す文字コードです。

図　3-91. 文字パターンの例

分割画面の作成

VGAハードウェアは分割画面をサポートします。図3-92に示すように、画面の上段部分を画面A, 下段部分をBと呼びます。

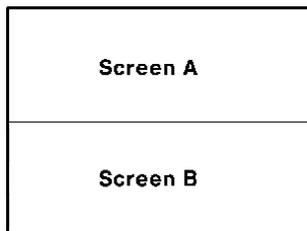



図　3-92. 分割画面定義

3-96ページの図3-93に、32KBの英数字記憶バッファーを持つシステム用の画面マッピングを示しています。VGAは、英数字モードでは32KBの記憶バッファーを持つという点に注意してください。画面Aに表示される情報は、ディスプレイ・コントローラーの開始アドレス(H)レジスターおよび開始アドレス(L)レジスター（インデックス0Chおよび0Dh）によって定義されます。画面Bに表示される情報は常にアドレス0000hから始まります。

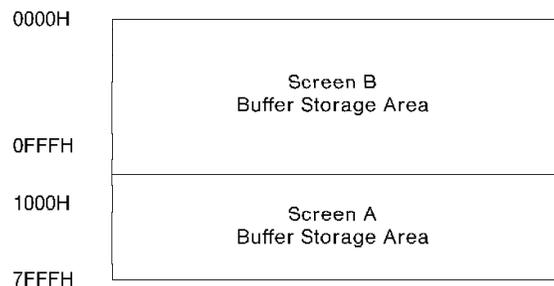



図　3-93. ディスプレイ・バッファー・アドレス空間内の画面マッピング

ディスプレイ・コントローラーのライン比較レジスター（インデックス18h）が分割画面機能を実行します。ディスプレイ・コントローラーは内部水平走査線カウンターを備えています。ディスプレイ・コントローラーは、水平走査線カウンターの値とライン比較レジスターの値とを比較し、比較が生じたときにメモリー・アドレス発生機構をクリアーします。次に、リニア・アドレス発生機構が位置0から始まるディスプレイ・バッファーを順次にアドレス指定します。後続の各行アドレスは、ライン開始ラッチとオフセット・レジスターとの16ビット加算によって決定されます。

垂直帰線信号と同期してライン比較を更新することによって、CRT上で画面Bを円滑にスクロールできます。開始アドレス(H)および開始アドレス(L)レジスターを使って画面Aアドレス・マップをスクロールしても、画面Bの情報はその影響を受けません。

属性モード制御レジスターのビット5が1であるときにライン比較が成功すると、垂直同期が発生するまで、水平PELパニング・レジスターの出力が強制的に0にされます。垂直同期が発生すると、出力はプログラミングされた値に戻ります。この機能によって、画面AでのPELパニング操作の影響が画面Bの情報に及ばないようにすることができます。

3.2.18 ビデオ・デジタル・アナログコンバーター(ビデオDAC)

ビデオDACは、色探索テーブルの機能と、アナログ・ディスプレイをドライブするための3つの内部DACとを統合したものです。

色探索テーブルのサイズは256 x 18ビットで、これを用いることにより256,000余りの可能な色のパレットから256色を表示することができます。各RGBアナログ出力は、それぞれ6ビットのDACによりドライブされます。色探索テーブル内の各レジスターには、赤、緑、および青のDACのそれぞれについて6ビットずつが入っています。

Video Digital-to-Analog Converter (DAC) Addresses in Hex

Register	Access	Address
PEL Address (Write mode)	RW	03C8
PEL Address (Read mode)	WO	03C7
DAC State Register	RO	03C7
PEL Data Register	RW	03C9
PEL Mask *	RW	03C6

RO = Read-Only,　RW = Read / Write,　WO = Write-Only.

* This register must not be written to by application code, or
destruction of the color look-up table may occur.
(See 3-99ページの『ビデオDACのプログラミング上の考慮点』.)

図　3-94. ビデオDAC I/Oアドレスの用途

ビデオDACの動作

PELクロックの立ち上りエッジで、PELアドレス入力信号（P0〜P7）およびブランキング入力がサンプリングされます。さらに、該当PELクロックのその後の3つの立ち上りエッジの後で、アナログ出力信号はこれらの入力信号の状態を反映したものとなります。

通常の動作状態では、PELアドレス入力信号（P0〜P7）は、256個の内部レジスター（色探索テーブル）の1つを指し示すポインターとして使用されます。そして、各レジスター内の値は、3つのアナログ出力信号（赤、緑、青）の各々のためのアナログ信号に変換されます。ブランキング入力を使ってアナログ出力を0ボルトに強制設定することもできます。ブランキング操作は、PELアドレス入力信号の状態によって左右されません。

システム・マイクロプロセッサーによるアクセスの際に、8ビットのPELアドレス・レジスターが256個の内部レジスターを指し示すポインターとして働きます。内部レジスターはどれも18ビットの幅で、赤、緑、青にそれぞれ6ビットずつ使用されます。内部レジスターは、次の項で説明するシステム・マイクロプロセッサー・インターフェースを介してアクセスできます。

システム・マイクロプロセッサー・インターフェースはビデオ・パスと非同期に働きます。このインターフェースのタイミングを制御するのは、書き込みイネーブル信号と読み出しイネーブル信号です。

ビデオDAC/システム・マイクロプロセッサー・インターフェース

PELアドレス・レジスターには、色探索テーブル内の1つの位置をアドレス指定する8ビットの値が入っています。PELアドレス・レジスターを2つの異なるアドレスに書き込むことによって、それぞれ読み出しモードおよび書き込みモードを確立することができます。PELアドレス・レジスターが書き込まれた後は、色探索テーブル内の位置がどれかアクセスされると、PELアドレス・レジスターの値が自動的に増加します。さらに後続のアクセスによって連続した位置を発生させることができます。

PELアドレス・レジスターが03C8hに書き込まれるたびに、その後で書き込みシーケンスが発生します。1回の書き込みシーケンスは、アドレス03C9hにあるPELデータ・レジスターへの連続した3バイトの書き込みです。各バイトの下位6ビットが結合されて、18ビットのレジスターの値となります。順序は、最初が赤、次が緑、そして最後が青です。3番目のバイトが書き込まれてしまうと、データ・レジスター内の値は、PELアドレス・レジスターが指し示す位置に書き込まれます。書き込みサイクルでのイベントの発生順序は次のとおりです。

1. 03C8hにあるPELアドレス・レジスターへの書き込みが行われる。
2. 03C9hにあるPELデータ・レジスターに3つのバイトが書き込まれる。
3. PELデータ・レジスターの内容が、PELアドレス・レジスターが指し示す色探索テーブル内の位置に転送される。
4. PELアドレス・レジスターの値が自動的に1だけ増加する。
5. ステップ2に戻る。

PELアドレス・レジスターがアドレス03C7hに書き込まれるたびに、その後に読み出しシーケンスが発生します。読み出しシーケンスでは、アドレス03C9hにあるPELデータ・レジスターから3つの連続したバイトが読み出されます。PELデータ・レジスターから取り出した各バイトの下位6ビットに、それぞれ1つの色の値が入っています。順序は、最初が赤、次が緑、そして最後が青です。読み出しサイクルでのイベントの発生順序は次のとおりです。

1. 03C7hにあるPELアドレス・レジスターへの書き込みが行われる。
2. PELアドレス・レジスターが指し示す色探索テーブル内の位置の内容が、PELデータ・レジスターに転送される。
3. PELアドレス・レジスターの値が自動的に1だけ増加する。
4. 03C9hにあるPELデータ・レジスターから値が読み戻される。
5. ステップ2に戻る。

読み出しサイクルまたは書き込みサイクル中にPELアドレス・レジスターへの書き込みが行われると、1つのモードが初期化され、未完のサイクルはアボートします。読み出しサイクル中のPELデータ・レジスターの書き込み、または書き込みサイクル中のPELデータ・レジスターの読み出しを行った場合の結果は定義されていません。ただし、このようなことをすると色探索テーブルの内容が変化する恐れがあります。

ビデオDACが読み出しモードになっているときにアドレス03C7hからの読み出しを行うと、ビット位置0および1にそれぞれ0が戻されます。ビデオDACが書き込みモードになっているときにアドレス03C7hからの読み出しを行うと、ビット位置0および1にそれぞれ1が戻されます。

03C8hにあるPELアドレス・レジスターまたは03C7hにあるDACステート・レジスターからの読み出しが、読み出しサイクルまたは書き込みサイクルに干渉することはありません。したがってこれらの操作はいつでも行えます。

ビデオDACのプログラミング上の考慮点

上記で説明したように、読み出しサイクル中のPELデータ・レジスターの書き込み、または書き込みサイクル中のPELデータ・レジスターの読み出しを行った場合の結果は未定義であり、そのようなことをすると色探索テーブルの内容が変化する恐れがあります。したがって、色探索テーブルをアクセスするときは、その内容の完全性を損わないようにするために必ず次の手順に従ってください。

1. PELアドレス・レジスターにアドレスを書き込む。
2. 割り込みをディセーブルする。
3. 3バイトのデータを書き込むかまたは読み出す。
4. ステップ3に戻り、必要とする位置の数だけそのステップを繰り返す。
5. 割り込みをイネーブルする。

注: 上記の手順では、どの割り込み処理でもビデオDACが正しいモード（書き込みまたは読み出し）に戻ることが前提となっています。そうでない場合は次の手順に従ってください。

1. 割り込みをディセーブルする。
2. PELアドレス・レジスターにアドレスを書き込む。
3. 3バイトのデータを書き込むかまたは読み出す。
4. ステップ2に戻り、必要とする位置の数だけそのステップを繰り返す。
5. 割り込みをイネーブルする。

ビデオDACに対する1つの読み出しコマンドまたは書き込みコマンド終了エッジと、その次の読み出しコマンドまたは書き込みコマンドの開始エッジとを分離するために必要な最小限の時間について、所定のタイミング要件があります。この最小分離時間は240ナノ秒です。ソフトウェアは、ビデオDACに対する連続した2回のアクセスの間に240ナノ秒の分離時間を確保するものでなければなりません。

画面上のスノーを防止するために、ビデオDACレジスターの読み書きを行う適用業務では、必ずビデオDACへのブランキング入力があることを確認してください。そのためには、データ転送を帰線期間内に制限するか（入力ステータス・レジスター1を使えば帰線の発生している時点が分かります）、またはシーケンサー・サブセクションのクロッキング・モード・レジスター内にある画面オフ・ビットを使用します。

注: BIOSはビデオDACへの読み書きインターフェースを備えています。

アプリケーションはPELマスク・レジスター（03C6h）には書き込みをするべきではありません。これをすると色探索テーブルが損傷を受ける恐れがあります。このレジスターは、ビデオ・モードの設定時にBIOSによりFFhに正しく初期化されます。

注: ビデオDACのレジスターは、すべてバイト単位で操作するようプログラミングしなければなりません。

3.2.19 ディスプレイ・コネクター・タイミング（SYNC信号）

BIOSはビデオ・モードを生成するためにVGAレジスターをセットします。3-21ページの図3-16に各種のビデオ・モードを示します。これらのモードは、モード11および12を除き、どれも70Hzの垂直帰線を使用します。モード11および12は60Hzの垂直帰線を使用します。VGAは、これらのモードを使用するディスプレイの仕様に基づいてタイミングを生成します。

アナログ・ディスプレイは、50～70Hzの垂直帰線周波数で作動します。以下のタイミング図は、BIOSがセットする垂直周波数だけを表しています。

注: 図3-95に示すように、ディスプレイの垂直サイズはSYNCの極性を使ってエンコードされます。（3-52ページの『多目的出力レジスター』を参照してください。）
SYNCパルスの極性は、それが正のパルス（接地を基準として）であるか、それとも負のパルス（DC +5Vを基準として）であるかを示します。

VSYNC Polarity	HSYNC Polarity	Vertical Size
+	+	Reserved
−	+	350 lines
+	−	400 lines
−	−	480 lines

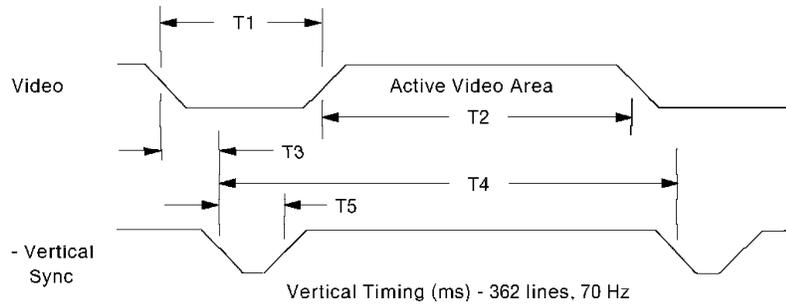
図　3-95. ディスプレイの垂直サイズ

	Signal Time
T1	2.765 milliseconds
T2	11.504 milliseconds
T3	0.985 milliseconds
T4	14.268 milliseconds
T5	0.064 milliseconds

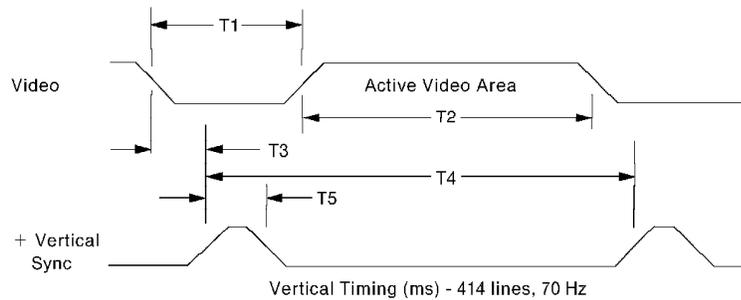
図　3-96. ディスプレイの垂直SYNC, 走査線350本

	Signal Time
T1	1.112 milliseconds
T2	13.156 milliseconds
T3	0.159 milliseconds
T4	14.268 milliseconds
T5	0.064 milliseconds

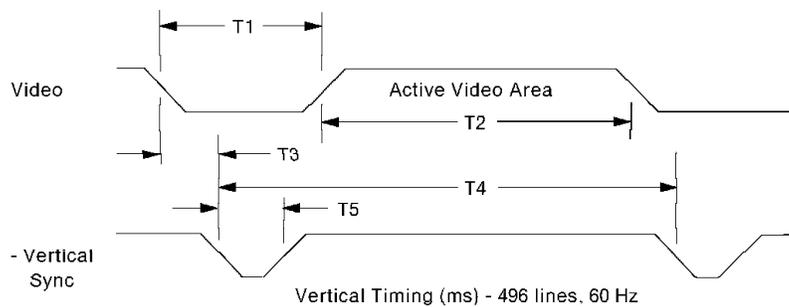
図　3-97. ディスプレイの垂直SYNC, 走査線400本

	Signal Time
T1	0.922 milliseconds
T2	15.762 milliseconds
T3	0.064 milliseconds
T4	16.683 milliseconds
T5	0.064 milliseconds

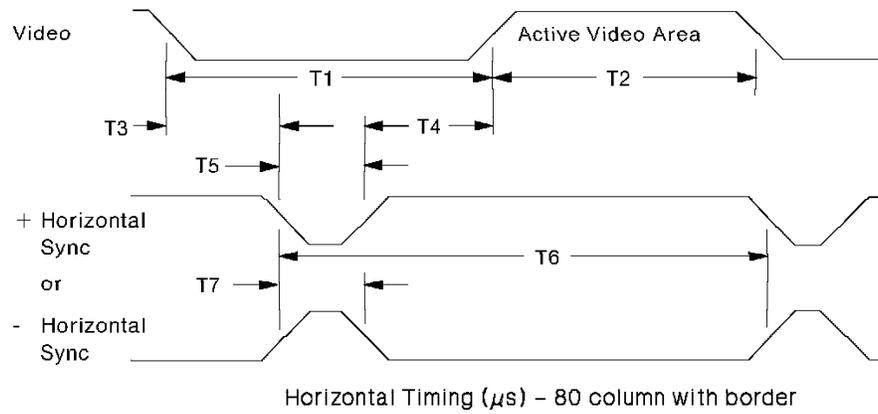
図 3-98. ディスプレイの垂直SYNC, 走査線480本

	Signal Time
T1	5.720 microseconds
T2	26.058 microseconds
T3	0.318 microseconds
T4	1.589 microseconds
T5	3.813 microseconds
T6	31.778 microseconds
T7	3.813 microseconds

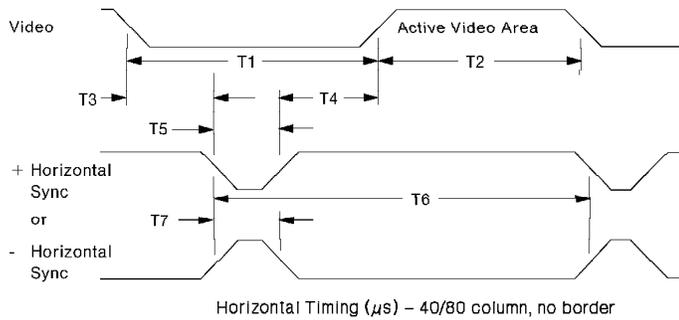
図　3-99. ディスプレイの垂直タイミング、80桁、ボーダー付き

	Signal Time
T1	6.356 microseconds
T2	25.422 microseconds
T3	0.636 microseconds
T4	1.907 microseconds
T5	3.813 microseconds
T6	31.778 microseconds
T7	3.813 microseconds

図　3-100. ディスプレイの水平タイミング、40/80桁、ボーダーなし

3.3 ディスケット・ドライブ・コントローラー

ここでは、ディスケット・ドライブ・コントローラーについて記述しています。

注: この節の内容は従来のソフトウェアの適合性に関する手引きです。新しいソフトウェアではBIOSを介してディスケット・ドライブ・コントローラーをアクセスします。

ディスケット・ドライブ・コントローラーは次のものをサポートしています。

- 未フォーマットで1MB, フォーマット済みで720KBのディスケット(3.5インチ、1.0MB)
- 未フォーマットで2MB, フォーマット済みで1.44MBのディスケット(3.5インチ、2.0MB)
- 250,000 bpsモードのディスケット・ドライブ
- 500,000 bpsモードのディスケット・ドライブ

すべてのシリンダーに対し125ナノ秒の書き込み補償(Write Pre-Compensation)が行われます。

警告: ディスケット・コントローラーは、各ディスケットが選択した密度をサポートしているかどうかは検査しません。1MBディスケットを2MBの密度にフォーマットした場合は、フォーマットが完全に行われないためにデータが消失することがあります。2MBディスケットを1MBの密度にフォーマットした場合も、同じことが言えます。誤った密度でフォーマットしたディスケットは使用しないでください。

ディスケット・ドライブ・コントローラーは低密度と高密度の両方の媒体を読み書きします。720KBと1.44MBにフォーマットされたフロッピー・ディスクがサポートされます。

警告: ビデオ・サブシステムに対して16ビット操作を行うと、1.44MBモードでオーバーランが発生することがあります。これは、データ幅の交換に12マイクロ秒以上かかることがあるためです。オーバーランが発生し、BIOSがエラーコードを返した場合には、再試行してください。

密度を別の密度に切り替えると次の現象が生じます。

- クロック・レートの変更。
  - 高密度の場合は8MHz
  - 低密度の場合は4MHz
- ステップ・レートの変更。

3.3.1 レジスター

ディスケット・ドライブ・コントローラーには、システムによってアクセスされる次のレジスターがあります。

- ステータス・レジスターA（03F0h）*
- ステータス・レジスターB（03F1h）*
- デジタル出力レジスター（03F2h）
- デジタル入力レジスター（03F7h）

I/Oコントローラー、ディスケット・ドライブ

- ディスケット・ドライブ・コントローラー・ステータス・レジスター（03F4h）
- データ・レジスター（03F5h）

* PS/2*との互換性を実現する場合必要です。

ステータス・レジスターA

このレジスターはPS/2との互換性を保つ場合必要です。この読み出し専用レジスターは、ディスケット・ドライブ・インターフェースの信号のステータスを示します。

Bit	Function
7	Interrupt Pending
6	Reserved
5	Step
4 - 0	Reserved

図 3-101. ステータス・レジスターA（16進03F0）

ステータス・レジスターB

このレジスターはPS/2との互換性を保つ場合必要です。この読み出し専用レジスターは、ディスケット・ドライブ・インターフェースの信号のステータスを示します。

Bit	Function
7, 6	Reserved
5	Drive Select 0
4	Write Data – Set to 1 by a positive transition of the ‘-Write Data’ signal.
3	Read Data – Set to 1 by a positive transition of the ‘-Read Data’ signal.
2	Write Enable
1, 0	Reserved

図 3-102. ステータス・レジスターB（16進03F1）

デジタル出力レジスター

これは、ドライブ・モーター、ドライブ選択、および機能イネーブルを制御するための書き込み専用レジスターです。すべてのビットはリセットにより0にセットされます。

Bit	Function
7, 6	Reserved
5	Motor Enable 1
4	Motor Enable 0
3	DMA and Interrupt Enable
2	-Controller Reset
1, 0	Drive Select (00 = Drive 0; 01 = Drive 1)

図 3-103. デジタル出力レジスター（03F2h）

デジタル入力レジスター

これは、ディスケット変更信号の状態を知るためのレジスターです。

Bit	Function
7	-Diskette Change
6 - 0	Reserved

図　3-104. デジタル入力レジスター（03F7h）

構成制御レジスター

これは、転送速度を設定するための書き込み専用レジスターです。出力ポート・アドレスは03F7hです。

Bit	Function
7 - 2	Reserved = 0
1, 0	Data Rate Select

図　3-105. 構成制御レジスター（03F7h）

Bit 1	Bit 0	Function
0	0	500 Kbps
0	1	Reserved
1	0	250 Kbps
1	1	Reserved

図　3-106. データ・レート・セレクトのビットの定義

ディスケット・ドライブ・コントローラー・ステータス・レジスター

これは、システム・マイクロプロセッサーとコントローラーとの間のデータの転送をするための読み出し専用レジスターです。

Bit	Function
7	Request for Master
6	Data Input/Output
5	Non-DMA Mode
4	Diskette Controller Busy
3	Reserved
2	Reserved
1	Drive 1 Busy
0	Drive 0 Busy

図　3-107. ディスケット・ドライブ・コントローラー・ステータス・レジスター（03F4h）

ビット7　ビット7が1にセットされていれば、データ・レジスターはシステム・マイクロプロセッサーを用いた転送を行う準備ができています。

ビット6　ビット6が1にセットされていれば、ディスケット・ドライブ・コントローラーからシステム・マイクロプロセッサーへのデータ転送が行われます。ビット6が0にセットされていれば、システム・マイクロプロセッサーからディスケット・ドライブ・コントローラーへのデータ転送が行われます。

ビット5　ビット5が1にセットされていれば、ディスケット・ドライブ・コントローラーはNon-DMAモードになります。

ビット4　ビット4が1にセットされているときは、読み出しコマンドまたは書き込みコマンドの実行中です。

ビット3, 2 予約済み

ビット1　ビット1が1にセットされているときは、ディスケット・ドライブ1がシーク・モードになっています。

ビット0　ビット0が1にセットされているときは、ディスケット・ドライブ0がシーク・モードになっています。

データ・レジスター

この読み書きレジスターは、データ、コマンド、およびパラメーターを渡したり、ディスケット・ドライブ・ステータス情報を提供したりします。

3.3.2 ディスケット・コントローラーのプログラミング考慮点

各コマンドは、システム・マイクロプロセッサーからの複数バイト転送により開始されます。コマンドの実行結果も、複数バイト転送によりシステム・マイクロプロセッサーに戻すことができます。このように、ディスケット・ドライブ・コントローラーとマイクロプロセッサーとの間で複数バイト転送が行われるので、各コマンドは次の3つのフェーズで構成されるものと考えることができます。

Command Phase :システム・マイクロプロセッサーは、一連の書き込み操作によって、ディスケット・ドライブ・コントローラーに特定の操作を行うよう指示します。

Execution Phase : コントローラーは、指示された操作を行います。

Result Phase :操作の完了後に、一連の読み出し命令によって、状況およびその他の情報をシステム・マイクロプロセッサーから入手することができます。

次に示すのは、ディスケット・ドライブ・コントローラーに対して出されるコマンドの一覧表です。

- Read Data
- Read Deleted-Data
- Read Track
- Read ID
- Write Data
- Write Deleted-Data
- Format Track
- Scan Equal
- Scan Low or Equal
- Scan High or Equal
- Recalibrate
- Sense Interrupt Status
- Specify
- Sense Drive Status
- Seek

3-112ページの図3-108に、各コマンドの形式の中で使用されているシンボルを示します。（個々のコマンドについては、3.3.3, 『コマンドの形式』を参照してください。）

3.3.3 コマンドの形式

以下に、ディスケット・ドライブ・コントローラーに対して出される各コマンドの形式を示します。

以下のページの図では次の略称が使用されています。図の中のXは「無視してもかまわない」ということを意味します。

MT = マルチトラック
MF = MFMモード
SK = アドレス・マーク・スキップ
HD = ヘッド番号
USX = ユニット選択
SRT = ディスケット・ステップ・レート
HUT = ヘッド・アンロード時間
HLT = ヘッド・ロード時間
ND = Non-DMAモード

Symbol	Name	Description
C	Cylinder Number	現行または選択シリンダー番号が2進数で示されます。
D	Data	セクターに書き込むべきデータ・パターンを示します。
D7-D0	Data Bus	8ビットのデータ・バスで、D7が最上位ビット、D0が最下位ビットです。
DTL	Data Length	Nが00であれば、DTLはセクターから読み取る、またはセクターに書き込むデータの長さです。
EOT	End of Track	シリンダー上の最終セクターの番号です。
GPL	Gap Length	GAP 3 の長さです。VCO (Voltage-controlled oscillator) の同期フィールドを除くセクター間の空間。
H	Head Address	IDフィールドで指定したヘッド番号で、0または1です。
HD	Head	選択したヘッド番号で、0または1です（すべてのコマンド・ワードにおいて、HとHDは同一です）。
HLT	Head Load Time	ヘッド・ロード時間です。
HUT	Head Unload Time	ヘッド・アンロード時間です。
MF	FM or MFM Mode	0であればFMモードを、1であればMFMモードを選択します。
MT	Multitrack	1であればマルチトラック(HD0とHD1の両方を読み取りまたは書き込み）を選択します。
N	Number	1セクターに書かれるデータ長（バイト）です。
NCN	New Cylinder Number	シーク先のシリンダー番号です。
ND	Non-DMA Mode	1 のとき、Non-DMAモードを指定します。
PCN	Present Cylinder Number	Sense Interrupt Statusコマンド終了時におけるシリンダー番号です。
R	Record	読み取るべき、または書き込むべきセクター数です。
SC	Sector	シリンダー当たりのセクター数です。
SK	Skip	削除データのアドレス・マークをスキップさせることを指定します。
SRT	Step Rate	ステップ・パルス間隔を指定します。
ST 0 - ST 3	Status 0-Status 3	コマンド実行後のステータス情報を記憶する4つのレジスターです。
STP	Scan Test	SCANコマンド実行時、STPが 1 であれば次のセクターを続けて処理し、2であれば1セクターおきに処理します。
US0 - US1	Unit Select	ドライブ番号(0〜3)を指定します。

図　3-108. コマンド・シンボル、ディスケット・ドライブ・コントローラー

Read Dataコマンド

Command Phase

	7	6	5	4	3	2	1	0
Byte 0	MT	MF	SK	0	0	1	1	0
Byte 1	X	X	X	X	X	HD	US1	US0
Byte 2	Cylinder Number (C)							
Byte 3	Head Address (H)							
Byte 4	Sector Number (R)							
Byte 5	Number of Data Bytes in Sector (N)							
Byte 6	End of Track (EOT)							
Byte 7	Gap Length (GPL)							
Byte 8	Data Length (DTL)							

図　3-109. Read Dataコマンド

Result Phase

	7	6	5	4	3	2	1	0
Byte 0	Status Register 0 (ST 0)							
Byte 1	Status Register 1 (ST 1)							
Byte 2	Status Register 2 (ST 2)							
Byte 3	Cylinder Number (C)							
Byte 4	Head Address (H)							
Byte 5	Sector Number (R)							
Byte 6	Number of Data Bytes in Sector (N)							

図　3-110. Read Dataの結果

Read Deleted-Dataコマンド

Command Phase

	7	6	5	4	3	2	1	0
Byte 0	MT	MF	SK	0	1	1	0	0
Byte 1	X	X	X	X	X	HD	US1	US0
Byte 2	Cylinder Number (C)							
Byte 3	Head Address (H)							
Byte 4	Sector Number (R)							
Byte 5	Number of Data Bytes in Sector (N)							
Byte 6	End of Track (EOT)							
Byte 7	Gap Length (GPL)							
Byte 8	Data Length (DTL)							

図 3-111. Read Deleted-Dataコマンド

Result Phase

	7	6	5	4	3	2	1	0
Byte 0	Status Register 0 (ST 0)							
Byte 1	Status Register 1 (ST 1)							
Byte 2	Status Register 2 (ST 2)							
Byte 3	Cylinder Number (C)							
Byte 4	Head Address (H)							
Byte 5	Sector Number (R)							
Byte 6	Number of Data Bytes in Sector (N)							

図 3-112. Read Deleted-Dataの結果

Read a Trackコマンド

Command Phase

	7	6	5	4	3	2	1	0
Byte 0	0	MF	SK	0	0	0	1	0
Byte 1	X	X	X	X	X	HD	US1	US0
Byte 2	Cylinder Number (C)							
Byte 3	Head Address (H)							
Byte 4	Sector Number (R)							
Byte 5	Number of Data Bytes in Sector (N)							
Byte 6	End of Track (EOT)							
Byte 7	Gap Length (GPL)							
Byte 8	Data Length (DTL)							

図　3-113. Read Trackコマンド

Result Phase

	7	6	5	4	3	2	1	0
Byte 0	Status Register 0 (ST 0)							
Byte 1	Status Register 1 (ST 1)							
Byte 2	Status Register 2 (ST 2)							
Byte 3	Cylinder Number (C)							
Byte 4	Head Address (H)							
Byte 5	Sector Number (R)							
Byte 6	Number of Data Bytes in Sector (N)							

図　3-114. Read Trackの結果

Read IDコマンド

Command Phase

	7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Byte 0	0	MF	0	0	1	0	1	0
Byte 1	X	X	X	X	X	HD	US1	US0

図　3-115. Read IDコマンド

Result Phase

	7 6 5 4 3 2 1 0
Byte 0	Status Register 0 (ST 0)
Byte 1	Status Register 1 (ST 1)
Byte 2	Status Register 2 (ST 2)
Byte 3	Cylinder Number (C)
Byte 4	Head Address (H)
Byte 5	Sector Number (R)
Byte 6	Number of Data Bytes in Sector (N)

図　3-116. Read IDの結果

Write Dataコマンド

Command Phase

	7	6	5	4	3	2	1	0
Byte 0	MT	MF	0	0	0	1	0	1
Byte 1	X	X	X	X	X	HD	US1	US0
Byte 2	Cylinder Number (C)							
Byte 3	Head Address (H)							
Byte 4	Sector Number (R)							
Byte 5	Number of Data Bytes in Sector (N)							
Byte 6	End of Track (EOT)							
Byte 7	Gap Length (GPL)							
Byte 8	Data Length (DTL)							

図　3-117. Write Dataコマンド

Result Phase

	7	6	5	4	3	2	1	0
Byte 0	Status Register 0 (ST 0)							
Byte 1	Status Register 1 (ST 1)							
Byte 2	Status Register 2 (ST 2)							
Byte 3	Cylinder Number (C)							
Byte 4	Head Address (H) Bits 7 - 0							
Byte 5	Sector Number (R)							
Byte 6	Number of Data Bytes in Sector (N)							

図　3-118. Write Dataの結果

Write Deleted-Dataコマンド

Command Phase

	7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Byte 0	MT	MF	0	0	1	0	0	1
Byte 1	X	X	X	X	X	HD	US1	US0
Byte 2	Cylinder Number (C)							
Byte 3	Head Address (H)							
Byte 4	Sector Number (R)							
Byte 5	Number of Data Bytes in Sector (N)							
Byte 6	End of Track (EOT)							
Byte 7	Gap Length (GPL)							
Byte 8	Data Length (DTL)							

図　3-119. Write Deleted-Dataの形式

Result Phase

	7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Byte 0	Status Register 0 (ST 0)							
Byte 1	Status Register 1 (ST 1)							
Byte 2	Status Register 2 (ST 2)							
Byte 3	Cylinder Number (C)							
Byte 4	Head Address (H)							
Byte 5	Sector Number (R)							
Byte 6	Number of Data Bytes in Sector (N)							

図　3-120. Write Deleted-Dataの結果

Format a Trackコマンド

Command Phase

	7	6	5	4	3	2	1	0
Byte 0	0	MF	0	0	1	1	0	1
Byte 1	X	X	X	X	X	HD	US1	US0
Byte 2	Number of Data Bytes in Sector (N)							
Byte 3	Sectors per Cylinder (SC)							
Byte 4	Gap Length (GPL)							
Byte 5	Data (D)							

図　3-121. Format a Trackコマンド

Result Phase

	7	6	5	4	3	2	1	0
Byte 0	Status Register 0 (ST 0)							
Byte 1	Status Register 1 (ST 1)							
Byte 2	Status Register 2 (ST 2)							
Byte 3	Cylinder Number (C)							
Byte 4	Head Address (H)							
Byte 5	Sector Number (R)							
Byte 6	Number of data bytes in sector (N)							

図　3-122. Format a Trackの結果

Scan Equalコマンド

Command Phase

	7	6	5	4	3	2	1	0
Byte 0	MT	MF	SK	1	0	0	0	1
Byte 1	X	X	X	X	X	HD	US1	US0
Byte 2	Cylinder Number (C)							
Byte 3	Head Address (H)							
Byte 4	Sector Number (R)							
Byte 5	Number of Data Bytes in Sector (N)							
Byte 6	End of Track (EOT)							
Byte 7	Gap Length (GPL)							
Byte 8	Scan Test (STP)							

図　3-123. Scan Equalコマンド

Result Phase

	7	6	5	4	3	2	1	0
Byte 0	Status Register 0 (ST 0)							
Byte 1	Status Register 1 (ST 1)							
Byte 2	Status Register 2 (ST 2)							
Byte 3	Cylinder Number (C)							
Byte 4	Head Address (H)							
Byte 5	Sector Number (R)							
Byte 6	Number of Data Bytes in Sector (N)							

図　3-124. Scan Equalの結果

Scan Low or Equalコマンド

Command Phase

	7	6	5	4	3	2	1	0
Byte 0	MT	MF	SK	1	1	0	0	1
Byte 1	X	X	X	X	X	HD	US1	US0
Byte 2	Cylinder Number (C)							
Byte 3	Head Address (H)							
Byte 4	Sector Number (R)							
Byte 5	Number of Data Bytes in Sector (N)							
Byte 6	End of Track (EOT)							
Byte 7	Gap Length (GPL)							
Byte 8	Scan Test (STP)							

図　3-125. Scan Low or Equalコマンド

Result Phase

	7	6	5	4	3	2	1	0
Byte 0	Status Register 0 (ST 0)							
Byte 1	Status Register 1 (ST 1)							
Byte 2	Status Register 2 (ST 2)							
Byte 3	Cylinder Number (C)							
Byte 4	Head Address (H)							
Byte 5	Sector Number (R)							
Byte 6	Number of Data Bytes in Sector (N)							

図　3-126. Scan Low or Equalの結果

Scan High or Equalコマンド

Command Phase

	7	6	5	4	3	2	1	0
Byte 0	MT	MF	SK	1	1	1	0	1
Byte 1	X	X	X	X	X	HD	US1	US0
Byte 2	Cylinder Number (C)							
Byte 3	Head Address (H)							
Byte 4	Sector Number (R)							
Byte 5	Number of Data Bytes in Sector (N)							
Byte 6	End of Track (EOT)							
Byte 7	Gap Length (GPL)							
Byte 8	Scan Test (STP)							

図　3-127. Scan High or Equalコマンド

Result Phase

	7	6	5	4	3	2	1	0
Byte 0	Status Register 0 (ST 0)							
Byte 1	Status Register 1 (ST 1)							
Byte 2	Status Register 2 (ST 2)							
Byte 3	Cylinder Number (C)							
Byte 4	Head Address (H)							
Byte 5	Sector Number (R)							
Byte 6	Number of Data Bytes in Sector (N)							

図　3-128. Scan High or Equalの結果

Recalibrateコマンド

Command Phase

	7	6	5	4	3	2	1	0
Byte 0	0	0	0	0	0	1	1	1
Byte 1	X	X	X	X	X	0	US1	US0

図　3-129. Recalibrateコマンド

Result Phase:　このコマンドにはResult Phaseはありません。

Sense Interrupt Statusコマンド

Command Phase

	7	6	5	4	3	2	1	0
Byte 0	0	0	0	0	1	0	0	0

図　3-130. Sense Interrupt Statusコマンド

Result Phase

	7	6	5	4	3	2	1	0
Byte 0	Status Register 0 (ST 0)							
Byte 1	Present Cylinder Number (PCN)							

図　3-131. Sense Interrupt Statusの結果

Specifyコマンド

Command Phase

	7	6	5	4	3	2	1	0
Byte 0	0	0	0	0	0	0	1	1
Byte 1	SRT	SRT	SRT	SRT	HUT	HUT	HUT	HUT
Byte 2	HLT	HLT	HLT	HLT	HLT	HLT	HLT	ND

図　3-132. Specifyコマンド

Result Phase:　このコマンドにはResult Phaseはありません。

Sense Drive Statusコマンド

Command Phase

	7	6	5	4	3	2	1	0
Byte 0	0	0	0	0	0	1	0	0
Byte 1	X	X	X	X	X	HD	US1	US0

図　3-133. Sense Drive Statusコマンド

Result Phase

	7	6	5	4	3	2	1	0
Byte 0	Status Register 3 (ST 3)							

図　3-134. Sense Drive Statusの結果

Seekコマンド

Command Phase

	7	6	5	4	3	2	1	0
Byte 0	0	0	0	0	1	1	1	1
Byte 1	X	X	X	X	X	HD	US1	US0
Byte 2	New Cylinder Number for Seek (NCN)							

図　3-135. Seekコマンド

Result Phase:　このコマンドにはResult Phaseはありません。

Invalidコマンド

Result Phase:　無効なコマンドを受け取ったときは、下記のステータス・バイトがシステム・マイクロプロセッサーに戻されます。

	7	6	5	4	3	2	1	0
Byte 0	Status Register 0 (ST 0)							

図　3-136. Invalidコマンドの結果

3.3.4 コマンド・ステータス・レジスター

この節では、ステータス・レジスターST0～ST3の定義を示します。

ステータス・レジスター0

図3-137にステータス・レジスターST0のビット定義を示します。

Bit	Function
7, 6	Interrupt Code (IC) 00 = Normal Termination of Command (NT) - コマンドは正しく実行され完了しました。 01 = Abrupt Termination of Command (AT) - コマンドの実行は開始されましたが、正しく完了しませんでした。 10 = Invalid Command Issue (IC) - 出されたコマンドは開始されませんでした。 11 = Reserved (Abnormal Termination)
5	Seek End (SE) - ディスケット・ドライブでSeekコマンドが完了すると、1にセットされます。
4	Equipment Check (EC) - Recalibrateコマンドのあとでトラック0信号（-TRACK 0）が発生しなかったときは、1にセットされます。
3	Reserved
2	Head Address (HD) - 割り込みの時点のヘッドの状態を示します。
1	Unit select 1 (US 1) - 割り込みを要求しているドライブ番号を示します。
0	Unit select 0 (US 0) - 割り込みを要求しているドライブ番号を示します。

図　3-137. ステータス・レジスター0（ST0）

Bit 1	Bit 0	Function
0	0	Drive 0
0	1	Drive 1
1	0	Reserved
1	1	Reserved

図　3-138. ユニット・セレクトのビットの定義

ステータス・レジスター1

図3-139にステータス・レジスターST1のビット定義を示します。

Bit	Function
7	End of Cylinder (EN) - コントローラーがシリンダーの最後のセクターを越えたセクターにアクセスしようとすると、1にセットされます。
6	Reserved - このビットは常に0にセットされています。
5	Data Error (DE) - コントローラーがIDフィールドまたはデータ・フィールドにCRCエラーを検出すると、1にセットされます。
4	Overrun (OR) - データ転送時に、所定の制限時間内にコントローラーがメイン・システムのサービスを受けなかったときは、1にセットされます。
3	Reserved - このビットは常に0にセットされています。
2	No Data (ND) - データ読み出しコマンドの実行時に、コントローラーがIDレジスターに指定されているセクターを見つけることができなかったときは、1にセットされます。また、Read IDコマンドの実行時にコントローラーによるIDフィールドの読み出しにエラーが起こったとき、またはRead a Trackコマンドの実行時に開始セクターが見つからなかったときも、このフラグが1にセットされます。
1	Not Writable (NW) - Write Data、Write Deleted-Data、またはFormat a Trackコマンドの実行時に、コントローラーが書き込み保護信号を検出したときに、1にセットされます。
0	Missing Address Mark (MA) - コントローラーがIDアドレス・マークを見つけることができなかったときに、1にセットされます。同時に、ステータス・レジスター2のMDが1にセットされます。

図　3-139. ステータス・レジスター1（ST1）

ステータス・レジスター2

図3-140にステータス・レジスターST2のビット定義を示します。

Bit	Function
7	Reserved - このビットは常に0にセットされています。
6	Control Mark (CM) - Read DataコマンドまたはScanコマンドの実行中に、コントローラーが削除データ・アドレス・マークの付いたセクターを見つけたときに、このフラグが1にセットされます。
5	Data Error in Data Field (DD) - コントローラーがデータの中にエラーを見つけたときに、1にセットされます。
4	Wrong Cylinder (WC) - このフラグはNDビット（データなし）に関連しています。媒体上のCの内容がIDレジスターに記憶されている内容と違っているときに、このフラグがセットされます。
3	Scan Equal Hit (SH) - Scanコマンドの実行中に、連続したセクター・データがプロセッサー・データと同じであれば、1にセットされます。
2	Scan Not Satisfied (SN) - Scan コマンドの実行中に、コントローラーがシリンダー上に条件を満たすセクターを見つけることができかったときに、1にセットされます。
1	Bad Cylinder (BC) - これはNDに関連しています。媒体上のCの内容がIDレジスターの内容と違っているとき、またはCの内容がFFhであるときに、このフラグが1にセットされます。
0	Missing Address Mark in Data Field (MD) - 媒体からのデータの読み出し中に、コントローラーがデータ・アドレス・マークまたは削除データ・アドレス・マークを見つけることができなかったときに、1にセットされます。

図　3-140. ステータス・レジスター（ST2）

ステータス・レジスター3

図3-141にステータス・レジスターST3のビット定義を示します。

Bit	Function
7	Reserved.
6	Write Protect (WP) - ディスケット・ドライブからの書き込み保護信号 (-WRITE-PROTECT)のステータス。
5	Reserved.
4	Track 0 (T0) - ディスケット・ドライブからのトラック0信号（-TARACK 0）のステータス。
3	Reserved.
2	Head Address (HD) - ディスケット・ドライブへのヘッド1選択信号（-HEAD 1 SELECT）のステータス。
1, 0	Reserved.

図　3-141. ステータス・レジスター3（ST3）

3.4 シリアル・ポート・コントローラー

シリアル・ポート・コントローラーはNS16450と適合性があり、プログラム可能な2つの非同期通信ポートをサポートします。このコントローラーは、スタート・ビット、ストップ・ビット、およびパリティー・ビットを自動的に追加したり除去したりします。プログラム可能ボーレイト発生器により、設定が可能です。但し、オーバーラン・エラーの発生なしに使用できるボーレイトの上限はシステムにより異なります。このコントローラーは、5ビット、6ビット、7ビット、および8ビットの文字を、1ビット、1.5ビット、または2ビットのストップ・ビット付きでサポートします。優先順割り込みシステムは、データ・セット割り込みのほか、送信、受信、エラー、および回線ステータスを制御します。

シリアル・ポート・コントローラーは次の機能を提供します。

- 文字モードでの完全2重バッファリング。これにより、精密な同期は不要になります。
- 誤りスタート・ビットの検出。
- 回線ブレークの生成と検出。
- 通信リンク障害の判別のためのループ・バック制御。
- モデム制御機能:
  送信可（CTS: Clear to Send）
  送信要求（RTS: Request to Send）
  データ・セット・レディ（DSR: Data Set Ready）
  データ端末レディ（DTR: Data Terminal Ready）
  リング・インディケーター（RI: Ring Indicator）
  データ・キャリア検出（DCD: Data Carrier Detect）

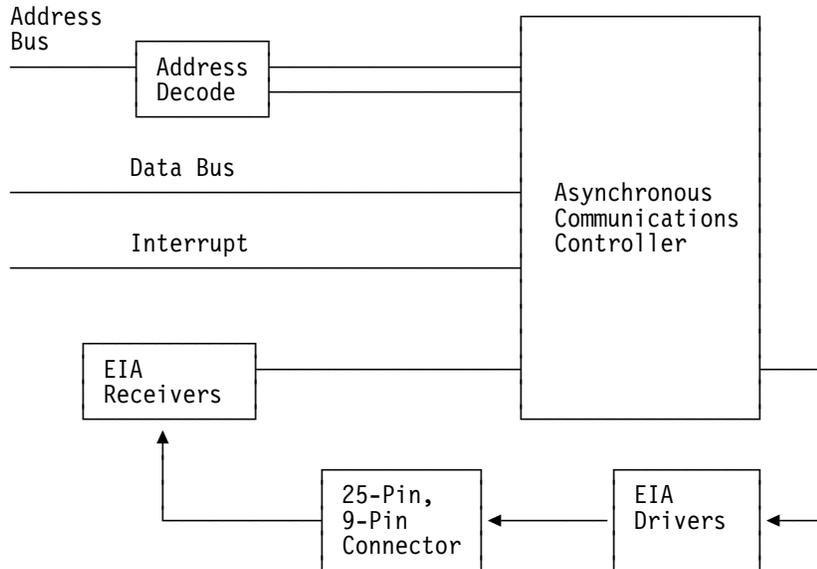



図　3-142. シリアル・ポートのブロック・ダイアグラム

3.4.1 通信適用業務

シリアル・ポートは、シリアル・ポート1またはシリアル・ポート2としてアドレス指定できます。この節では、シリアル・ポート・レジスター・アドレスに**n**という文字が含まれています。この**n**は、シリアル・ポート1の場合は03で、シリアル・ポート2の場合は02です。

システムには2本の割り込み信号線が与えられています。割り込みレベル4（IRQ4）がシリアル・ポート1用で、割り込みレベル3（IRQ3）がシリアル・ポート2用です。シリアル・ポート・コントローラーが割り込みコントローラーに割り込みを送るためには、モデム制御レジスターのビット3を1にセットしなければなりません。割り込みイネーブル・レジスターで指定できるすべての割り込みが、割り込みを生じさせます。

図3-143にシリアル・ポートのデータ形式を示します。

Marking	Start Bit	D0	D1	D2	D3	D4	D5	D6	D7	Parity Bit	Stop Bit

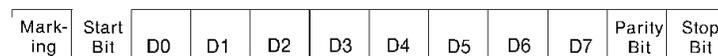



図　3-143. シリアル・ポートのデータ形式

データ・ビット0が、送信または受信される最初のビットです。コントローラーは、スタート・ビット、正しいパリティー・ビット（プログラミングで指定されている場合）、およびストップ・ビット（回線制御レジスター内のコマンドに応じて1, 1.5, または2）を自動的に挿入します。

3.4.2 プログラム可能ボーレイト発生器

コントローラーにはプログラム可能ボーレイト発生器があります。このボーレイト発生器は、クロック入力（1.8432MHz）を1～65 535の範囲内の除数（デバイザー）で分周することができます。ボーレイト発生器の出力周波数はボーレイトの16倍です。除数（デバイザー）は、各8ビットの2つのラッチに16ビットの2進形式で記憶されます。ボーレイト発生器が所期の働きをするようにするためには、セットアップ時にこれらのデバイザー・ラッチをロードしておかなければなりません。デバイザー・ラッチのどちらかをロードすると、16ビットのボー・カウンターがただちにロードされます。これは、最初のロードで長いカウントが生じるのを防ぐためです。

3.4.3 レジスター

このコントローラーにはさまざまのアクセス可能なレジスターがあります。システム・プログラマーは、システム・マイクロプロセッサーを介して、任意のコントローラー・レジスターをアクセスまたは制御することができます。これらのレジスターは、コントローラーの動作の制御およびデータの送受信のために使用されます。

この節では下記のレジスターについて説明します。

DLAB State *	Port Address (hex)	R/W	Register
0	0nF8**	W	Transmitter Holding Register
0	0nF8**	R	Receiver Buffer Register
1	0nF8**	R/W	Divisor Latch, Low Byte
1	0nF9**	R/W	Divisor Latch, High Byte
0	0nF9**	R/W	Interrupt Enable Register
X	0nFA**	R	Interrupt Identification Register
X	0nFB**	R/W	Line Control Register
X	0nFC**	R/W	Modem Control Register
X	0nFD**	R	Line Status Register
X	0nFE**	R	Modem Status Register
X	0nFF**	R/W	Scratch Register

* DLAB stateは、回線制御レジスターのビット７で制御されます。

** **n**は選ばれたポートによります；シリアル1のときは3, シリアル2のときは2です。

図 3-144. シリアル・ポート・レジスター・アドレス

送信保持レジスター（nF8h）

このレジスターには送信される文字が入ります。ビット0は最下位ビットで、これが直列送信される最初のビットです。

受信バッファー・レジスター（nF8h）

このレジスターには受信した文字が入ります。ビット0は最下位ビットで、これが直列受信した最初のビットです。

デバイザー・ラッチ・レジスター（nF8hおよびnF9h）

デバイザー・ラッチ・レジスターはボーレイト発生器をプログラミングするために使われます。これら2つのレジスター内の値がクロック入力（1.8432MHz）のデバイザー（除数）を形成し、それによって目的のボーレイトが確立されます。

図3-145に、1.48432MHzの周波数を用いるボーレイト発生器の使用例を示します。エラーの発生率が多い場合は、低いボーレイトにセットすることにより、その発生率を少なくすることができます。

Desired Baud Rate	Divisor Used to Generate 16x Clock (Decimal) (Hex)	Percent of Error Difference Between Desired and Actual
50	2304 0900	--
75	1536 0600	--
110	1047 0417	0.026
134.5	857 0359	0.058
150	768 0300	--
300	384 0180	--
600	192 00C0	--
1200	96 0060	--
1800	64 0040	--
2000	58 003A	0.69
2400	48 0030	--
3600	32 0020	--
4800	24 0018	--
7200	16 0010	--
9600	12 000C	--
19200	6 0006	--

図　3-145. 1.8432MHzのときのボーレイト

割り込みイネーブル・レジスター（nF9h）

この8ビットのレジスターは、4種類の割り込みによってそれぞれ別個にチップ割り込み出力信号をアクティブにできるようにするためのものです。割り込みイネーブル・レジスターのビット0〜3をクリアーすることによって、割り込みシステム全体をディセーブルすることができます。同様に、このレジスターの特定のビットを1にセットすることによって、選択した割り込みだけをイネーブルすることもできます。割り込みをディセーブルすると、コントローラーからのチップ割り込み出力信号が禁止されます。回線ステータス・レジスターおよびモデム・ステータス・レジスターの設定など、その他のシステム機能はすべて正常に働きます。

Bit	Function
7 - 4	Reserved = 0
3	Modem Status Interrupt
2	Receiver Line Status Interrupt
1	Transmitter Holding Register Empty Interrupt
0	Received Data Available Interrupt

図　3-146. 割り込みイネーブル・レジスター（nF9h）

ビット7〜4 予約済み。

ビット3　ビット3を1にセットすると、モデム・ステータス割り込みがイネーブルされます。

ビット2　ビット2を1にセットすると、受信回線ステータス割り込みがイネーブルされます。

ビット1　ビット1を1にセットすると、送信保持レジスター空割り込みがイネーブルされます。

ビット0　ビット0を1にセットすると、受信データ使用可能割り込みがイネーブルされます。

割り込み識別レジスター（nFA）

データ文字の送信中のプログラミング・オーバーヘッドを最小にするために、コントローラーは次の4レベルで割り込みの優先順位付けをします。

- 優先順位1 - 受信回線ステータス
- 優先順位2 - 受信データ使用可能
- 優先順位3 - 送信保持レジスター空
- 優先順位4 - モデム・ステータス

割り込み識別レジスターには、保留中の割り込みに関する情報が記憶されています。このレジスターをアドレス指定すると、最も優先順位の高い保留中の割り込みが保持され、その割り込みをシステム・マイクロプロセッサーがサービスするまで、他の割り込みは認知されなくなります。

Bit	Function
7 - 3	Reserved = 0
2	Interrupt ID, Bit 1
1	Interrupt ID, Bit 0
0	Interrupt Pending = 0

図 3-147. 割り込み識別レジスター（Hex nFAh）

ビット7〜3 予約済み。ビット7〜3は常に0にセットされています。

ビット2, 1 ビット2および1は、最も優先順位の高い保留中の割り込みを示します（図3-148を参照）。

ビット0 ビット0が1にセットされているときは、保留の割り込みがない状態で、ポーリング（使用されている場合）が続けられます。ビット0が0にセットされているときは、割り込みが1つ保留状態にあり、該当の割り込みサービス・ルーチンのポインターとしてこのレジスターの内容を使用できます。

ビット0は、割り込みが保留中であることを示すために、ハードウェア配線した状態、優先順位付けした状態、またはポーリングした状態で使用できます。

ビット2〜0は、図3-148に示すように割り込み制御機能を選択するために使用されます。

Bits 3 2 1 0	Priority	Type	Cause	Interrupt Reset Control
0 0 0 1	-	None	None	-
0 1 1 0	Highest	Receiver Line Status	Overrun, Parity, or Framing Error or Break Interrupt	Read the Line Status register
0 1 0 0	Second	Received Data Available	Data in Receiver Buffer or the Trigger Level has been reached.*	Read the Receiver Buffer register or the FIFO register drops below the trigger level.*
0 0 1 0	Third	Transmitter Holding register empty	Transmitter Holding register is empty	Read the Interrupt Identification register or write to Transmitter Holding register.
0 0 0 0	Fourth	Modem Status	Change in signal status from modem	Read the Modem Status register

図 3-148. 割り込み制御機能

* FIFOモードをサポートする場合

回線制御レジスター（nFBh）

このレジスターは非同期通信の形式をプログラミングするために使用します。

Bit	Function
7	Divisor Latch Access Bit
6	Set Break
5	Stick Parity
4	Even Parity Select
3	Parity Enable
2	Number of Stop Bits
1	Word Length Select, Bit 1
0	Word Length Select, Bit 0

図　3-149. 回線制御レジスター（nFBh）

ビット7　ビット7を1にセットすると、読み出し操作または書き込み操作中にボーレイト発生器のデバイザー・ラッチをアクセスできます。ビット7を0にセットすると、受信バッファー・レジスター、送信保持レジスター、または割り込みイネーブル・レジスターをアクセスできます。

ビット6　ビット6を1にセットすると、セット・ブレークがイネーブルされます。直列出力が強制的にスペース状態にされ、その他の送信活動とは無関係にその状態が維持されます。ビット6を0にセットすると、セット・ブレークがディセーブルされます。

ビット5　ビット5〜3を1にセットすると、パリティー・ビットが送信され、それが論理0として検査されます。ビット5および3を1にセットし、ビット4を0にセットすると、パリティー・ビットが送信され、それが論理1として検査されます。ビット5を0にセットすると、スティック・パリティーがディセーブルされます。

ビット4　ビット4および3を1にセットすると、データ・ワード・ビットとパリティー・ビットで偶数個の論理1が送信され検査されます。ビット4を0にセットしビット3を1にセットすると、データ・ワード・ビットおよびパリティー・ビットで奇数個の論理1が送信され検査されます。

ビット3　ビット3を1にセットすると、最後のデータ・ワード・ビットとストップ・ビットの間で、パリティー・ビットの生成（データ送信の場合）またはパリティー・ビットの検査（データ受信の場合）が行われます。（データ・ワード・ビットとパリティー・ビットを合計したときに、偶数個または奇数個の1を生成するためにパリティー・ビットが使われます。）

ビット2　ビット2〜0は、図3-150に示すように、送信または受信される各直列文字中のストップ・ビット数を指定します。

Bit 2	Word Length *	Number of Stop Bits
0	N/A	1
1	5 Bits	1-1/2
1	6 Bits	2
1	7 Bits	2
1	8 Bits	2

* Word length is specified by bits 1 and 0 in this register.

図　3-150. ストップ・ビット

ビット1, 0 ビット1および0は、送信または受信される各直列文字中のビット数を指定します。ワードの長さは図3-151のように選択されます。

Bits 1 0	Word Length
0 0	5 Bits
0 1	6 Bits
1 0	7 Bits
1 1	8 Bits

図　3-151. ワードの長さ

モデム制御レジスター（nFCh）

このレジスターは、モデム、データ・セット、またはモデムをエミュレートする周辺装置との間のデータ交換を制御します。

Bit	Function
7 - 5	Reserved = 0
4	Loop Test
3	Out 2
2	Out 1
1	Request to Send (RTS)
0	Data Terminal Ready (DTR)

図　3-152. モデム制御レジスター（nFCh）

ビット7〜5 予約済み。ビット7〜5は常に0にセットされています。

ビット4 ビット4は、シリアル・ポートの診断テスト用のループ・バック（折り返し）機能を提供します。ビット4を1にセットすると次のことが起こります。

- 送信出力がマーク状態にセットされる。
- 受信出力が切断される。
- 送信シフト・レジスターの出力が受信シフト・レジスター入力にループ・バックされる。

  注: 送信シフト・レジスターおよび受信シフト・レジスターは、アクセス可能な直列コントローラー・レジスターではありません。

- モデム制御入力（CTS, DSR, DCD, およびRI）が切断される。
- モデム制御出力（DTR, RTS, OUT 1, およびOUT 2）が、内部的に4つのモデム制御入力に接続される。
- モデム制御出力ピンが強制的にインアクティブにされる。

シリアル・ポートが診断モードになっているときは、送信したデータはただちに受信されます。この機能により、システム・マイクロプロセッサーはシリアルポートの送信データ経路と受信データ経路を検証することができます。

シリアル・ポートが診断モードになっているとき、受信割り込みと送信割り込みは完全に機能します。モデム制御割り込みも機能しますが、その場合のソースは、4つのモデム制御入力信号ではなくモデム制御レジスターの下位4ビットです。また、この種の割り込みも割り込みイネーブル・レジスターにより制御されます。

ビット3 ビット3はユーザー指定の補助割り込みイネーブル信号であるOUT 2を制御します。OUT 2はチャネルへの割り込み信号を制御するためのものです。ビット3を1にセットすると割り込みがイネーブルされます。ビット3を0にセットすると割り込みがディセーブルされます。

ビット2 ビット2は、ユーザー指定の補助出力信号であるOUT 1を制御します。ビット2を1にセットすると、OUT 1が強制的にアクティブにされます。ビット2を0にセットすると、OUT 1が強制的にインアクティブにされます。

ビット1 ビット1は、RTSモデム制御出力信号を制御します。ビット1を1にセットすると、RTSが強制的にアクティブにされます。ビット1を0にセットすると、RTSが強制的にインアクティブにされます。

ビット0 ビット0は、DTRモデム出力信号を制御します。ビット0を1にセットすると、DTRが強制的にアクティブにされます。ビット0を0にセットすると、DTRが強制的にインアクティブにされます。

回線ステータス・レジスター（nFDh）

このレジスターは、データ転送に関するステータス情報をシステム・マイクロプロセッサーに与えます。このレジスターへの書き込みを行うと予期しない結果が生じることがあります。

Bit	Function
7	Reserved = 0
6	Transmitter Shift Register Empty (TSRE)
5	Transmitter Holding Register Empty (THRE)
4	Break Interrupt (BI)
3	Framing Error (FE)
2	Parity Error (PE)
1	Overrun Error (OR)
0	Data Ready (DR)

図　3-153. 回線ステータス・レジスター（nFDh）

ビット7　予約済み。

ビット6　送信保持レジスターと送信シフト・レジスターがどちらも空であれば、ビット6は1にセットされます。送信保持レジスターまたは送信シフト・レジスターのどちらかにデータ・文字が含まれていれば、ビット6は0にセットされます。

ビット5　ビット5は、シリアル・ポート・コントローラーが送信のための新しい文字を受け入れる準備ができていることを示します。送信保持レジスターから送信シフト・レジスターに文字が転送されたときは、ビット5は1にセットされます。システム・マイクロプロセッサーが送信保持レジスターをロードしたときは、ビット5は0にセットされます。

また、割り込みイネーブル・レジスターが1にセットされているときに、コントローラーは、ビット5に基づいてシステム・マイクロプロセッサーに対する割り込みを出します。

ビット4　受信したデータ入力が、フルワード送信時間（スタート・ビット+データ・ビット+パリティー+ストップ・ビットの合計時間）を超えてスペース状態のままになっていると、ビット4は1にセットされます。システム・マイクロプロセッサーが回線ステータス・レジスターの内容を読み出すと、このビットは0にセットされます。

注:　ビット1～4はエラー条件を示すものであり、該当する条件のどれかが検出され、割り込みがイネーブルされると、受信回線ステータス割り込みが発生します。

ビット3　最後のデータ・ビットのあとまたはパリティー・ビットのあとのストップ・ビットがスペース・レベルにあると、ビット3は1にセットされます。これは、受信した文字に有効なストップ・ビットがなかったことを示します。システム・マイクロプロセッサーが回線ステータス・レジスターの内容を読み出すと、このビットは0にセットされます。

ビット2　パリティー・エラーが検出されると（つまり、受信した文字が、回線制御レジスター内の偶数パリティー選択ビットにより選択された正しい偶数パリティーまたは奇数パリティーを持っていないと）、ビット2は1にセットされます。システム・マイクロプロセッサーが回線ステータス・レジスターの内容を読み出すと、ビット2は0にセットされます。

ビット1　システム・マイクロプロセッサーが受信バッファー・レジスター内のデータを読み出す前に、次の文字がそのレジスターに転送されたため、前のデータが破壊された場合に、ビット1は1にセットされます。システム・マイクロプロセッサーが回線ステータス・レジスターの内容を読み出すと、ビット1は0にセットされます。

ビット0　完全な受信文字が受信され、受信バッファー・レジスターに転送されると、ビット0は1にセットされます。システム・マイクロプロセッサーが受信バッファー・レジスターを読み出すと、ビット0は0にセットされます。

モデム・ステータス・レジスター（nFEh）

このレジスターは、モデム（または外部装置）からの制御信号線の現在の状態をシステム・マイクロプロセッサーに知らせます。さらに、このレジスターのビット3〜0は変化情報を提供します。これらの4ビットは、モデムからの制御入力の状態が変化すると1にセットされます。システム・マイクロプロセッサーがこのレジスターを読み出すと、これらのビットは0にセットされます。

Bit	Function
7	Data Carrier Detect
6	Ring Indicate
5	Data Set Ready
4	Clear to Send
3	Delta Data Carrier Detect
2	Trailing Edge Ring Indicate
1	Delta Data Set Ready
0	Delta Clear to Send

図　3-154. モデム・ステータス・レジスター（nFEh）

ビット7　ビット7は、DTRモデム制御入力信号を反転したものです。モデム制御レジスターのビット4が1にセットされているときは、このビットはモデム制御レジスターのビット3と等価です。

ビット6　ビット6は、RIモデム制御入力信号を反転したものです。モデム制御レジスターのビット4が1にセットされているときは、このビットはモデム制御レジスターのビット2と等価です。

ビット5　ビット5は、DSRモデム制御入力信号を反転したものです。モデム制御レジスターのビット4が1にセットされているときは、このビットはモデム制御レジスターのビット4と等価です。

ビット4　ビット4は、CTSモデム制御入力信号を反転したものです。モデム制御レジスターのビット4が1にセットされているときは、このビットはモデム制御レジスターのビット1と等価です。

ビット3　DTRの状態がシステム・マイクロプロセッサーによる最後の読み出し以降に変化した場合は、ビット3は1にセットされます。

注:　ビット0, 1, 2, または3が1にセットされると、モデム・ステータス割り込みが生成されます。

ビット2　RIがアクティブ状態からインアクティブ状態に変化すると、ビット2は1にセットされます。

ビット1　DSRの状態がシステム・マイクロプロセッサーによる最後の読み出し以降に変化した場合は、ビット1は1にセットされます。

ビット0　CTSの状態がシステム・マイクロプロセッサーによる最後の読み出し以降に変換した場合は、ビット0は1にセットされます。

スクラッチ・レジスター（nFFh）

このレジスターはシリアル・ポートを制御するものではありません。システム・マイクロプロセッサーは、データの一時的な保管のためにこのレジスターを使用することができます。

3.4.4 シリアル・ポート・コントローラーのプログラミング上の考慮点

直列コントローラーのプログラミングの際には次の事項を考慮に入れてください。

- このシリアル・ポート・コントローラーではFIFOモードはサポートされていません。
- 回線制御レジスターを変更するときは、その前に送信保持レジスターが空であることを確かめてください。

3.4.5 信号の説明

モデム制御入力信号

以下に示すのは、モデムまたは外部装置からコントローラーへの入力信号です。これらの信号の状態は、モデム・ステータス・レジスターのビット7～4に示されます。これらの信号はモニターされていて、モデムの状態に変化が生じると、それがモデム・ステータス・レジスターのビット3～0に示されます。

送信可 (CTS): この信号がアクティブのときは、モデムはシリアル・ポートからのデータの送信準備ができています。

データ・セット・レディ (DSR): この信号がアクティブのときは、モデムまたはデータ・セットが、コントローラーとの間の通信リンクを確立しデータを転送する準備ができています。

リング表示(RI):この信号がアクティブになるのは、モデムまたはデータ・セットが電話呼び出し信号を検出したときです。

データ・キャリア検出(DCD):この信号がアクティブになるのは、モデムまたはデータ・セットがデータ・キャリアを検出したときです。

モデム制御出力信号

以下に示すのはコントローラー出力信号です。マスター・リセット操作を行うと、これらの信号はすべてインアクティブにセットされます。これらの信号は、モデム制御レジスターのビット3〜0により制御されます。

データ・ターミナル・レディ (DTR): この信号がアクティブのときは、コントローラーの通信準備ができていることをモデムまたはデータ・セットに示します。

送信要求(RTS):この信号がアクティブのときは、コントローラーでデータ送信の準備ができていることをモデムまたはデータ・セットに示します。この信号はシステムへの割り込みを制御します。

3.4.6 電圧交換情報

インターフェース位置で測定した交換回路上の電圧が信号接地を基準としてDC –3Vより低いときは、信号はマーク状態にあるとみなされます。信号接地を基準として電圧がDC +3Vより高いときは、信号はスペース状態にあるとみなされます。DC +3VからDC –3Vまでの範囲は遷移領域として定義され、無効なレベルとみなされます。DC –15Vより低い電圧とDC +15Vより高い電圧も無効なレベルとみなされます。

Interchange Voltage	Binary State	Signal Condition	Interface Control Function
Positive Voltage	0	Spacing	On
Negative Voltage	1	Marking	Off

図　3-155. 電圧レベル

3.5 パラレル・ポート・コントローラー

パラレル・ポートは、標準TTLレベルで8ビットのデータを転送する各種装置を接続するインターフェースを提供します。このコントローラーは25ピンのDシェル・コネクターを備えています。このポートは、パラレル・ポート1, 2, または3としてアドレス指定できます。

このパラレル・ポートには、従来のIBMパーソナル・コンピューターのパラレル・ポート仕様との適合性があります。パラレル・ポートの最も重要な機能は、パラレル・インターフェースを備えたプリンターをシステムに接続することです。PCオープン・アーキテクチャーでは、双方向の入出力をサポートするための拡張モードをオプションとして規定しています。さらに、パラレル・ポートは、エッジ・トリガー割り込みおよび読み出し可能割り込み保留ステータスもサポートします。但し、PCオープン・アーキテクチャーでは読み出し可能割り込み保留ステータスはPS/2の拡張部分です。

図3-156はパラレル・ポート・コントローラーのブロック図です。

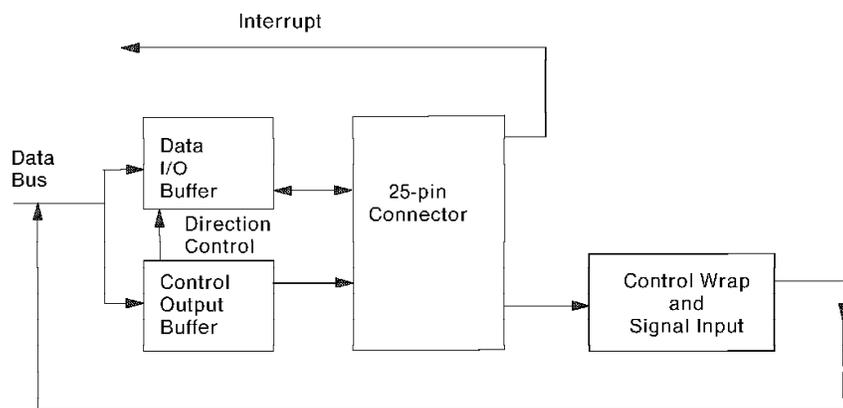



図 3-156. パラレル・ポート・コントローラーのブロック図

3.5.1 パラレル・ポートのセットアップ

パラレル・ポートは3つの異なるアドレス・スペースに割り当てられます。

各構成でのアドレス割り当てを図3-157に示します。

Port	Data Address (hex)	Status Address (hex)	Parallel Control Address (hex)	Interrupt Level*
Parallel 1	03BC	03BD	03BE	IRQ 7
Parallel 2	0378	0379	037A	IRQ 7
Parallel 3	0278	0279	027A	IRQ 5

図　3-157. パラレル・ポートのアドレス割り当て

***** PS/2と互換性のあるモデルでは、各ポートのIRQが7または5の場合があります。
***** Parallel 1、Parallel 2、Parallel 3の各レジスターのアドレスはこの組み合わせで、変更できる場合があります。

3.5.2 パラレル・ポートの拡張モード

拡張モードでは、パラレル・ポートは8ビットの双方向のパラレル・インターフェースとして働きます。方向はパラレル制御ポートのビット5によって決ります（3-147ページの図3-159を参照）。

3.5.3 パラレル・ポート・コントローラーのプログラミング上の考慮点

以下に、パラレル・ポート・コントローラーをプログラミングするときの考慮点をいくつか示します。

このインターフェースは、5つのI/O命令（出力用が2つ、入力用が3つ）に対して応答します。出力命令では、8ビット・データ・ラッチ出力がDシェル・コネクターに転送されます。

3つの入力命令のうちの2つは、プロセッサーにデータ・アドレス内の8ビットのデータの読み戻しをさせます。3番目の入力命令では、システム・マイクロプロセッサーは、コネクター上の一群のピンのリアルタイム・ステータスを読み出すことができます。

拡張モードは外部接続されている装置によって使用できます。

POST (Power On Self Test)操作中は、パラレル・ポートは出力ポートとして構成されます。PS/2では電源投入による初期化の時点、およびキーボードからのリセット(Ctrl+Alt+Delete)のあとの初期化の時点で、POSTのステータス情報がこのポートに書き込まれます。

以下、各インターフェース・ポート命令についてくわしく説明します。特定の信号タイミング・パラメーターについては、パラレル・ポート・コネクターに接続する装置の仕様を参照してください。

データ・アドレス・ポート

データ・アドレス・ポートは、拡張モード用の8ビット・データ・ポートです。

拡張モードでこのポートへの書き込み操作を行うと、データはラッチされます。しかしそのデータがコネクターのピンに出力されるのは、並列制御ポート内の方向ビットが書き込みにセットされている場合に限られます。拡張モードの読み出し操作では次のどちらかが取り出されます。

- 並列制御ポート内の方向ビットが書き込みにセットされている場合は、以前に書き込まれたデータ。
- 方向ビットが読み出しにセットされている場合は、他の装置からコネクターのピンに送られてきているデータ。

ステータス・ポート

ステータス・ポートは読み出し専用ポートです。このポートに対する読み出し操作を行うと、図3-158に示すように、インターフェースの割り込み保留ステータスおよびコネクター・ピンのリアルタイム・ステータスに関する情報が、システム・マイクロプロセッサーに与えられます。但し、割り込み保留ステータスはPCオープン・アーキテクチャーではPS/2の拡張部分です。

Port Bit	Port Data
7	-Busy
6	-Acknowledge (-ACK)
5	Paper End (PE)
4	Select (SLCT)
3	-Error
2	-IRQ Status
1 - 0	Reserved

図　3-158. ステータス・ポート

ビット7　この信号がアクティブのときは、プリンターはビジーであり、データを受け入れることはできません。

ビット6　ビット6は、-ACK（プリンター信号）の現在の状態を表します。ビット6が0にセットされているときは、プリンターが1文字の受信を完了し、次の文字を受け入れる準備ができています。

ビット5　ビット5は、PE（プリンター信号）の現在の状態を表します。ビット5が1にセットされているときは、プリンターが用紙の終りを検出しています。

ビット4　ビット4はSLCTの現在の状態を表します。ビット4が1にセットされているときは、プリンターが選択されています。

ビット3　ビット3は、-ERROR（プリンター信号）の現在の状態を表します。ビット3が0にセットされているときは、プリンターでエラー条件が発生しています。

ビット2 このビットが0のときは、プリンターが–ACKによって前の転送に肯定応答しています。このビットはステータス・ポートを読み出すと1にセットされます。このビットが0にセットされると割り込みは保留されます。この割り込みステータス・ビットはPS/2と互換のパラレル・ポート・インターフェースを実現する場合必要です。

ビット1〜0 予約済み

パラレル・コントロール・ポート

パラレル・コントロール・ポートは読み書きポートです。このポートに対する書き込みを行うと、バスの下位データ・ビット6個がラッチされます。6番目のビットは方向制御ビットで、これは拡張モードでのみ使用されます。その他の5ビットは、図3-159に示すように従来の構成形態との適合性を備えています。並列制御ポートに対する読み出し操作を行うと、最後にそこに書き込まれたデータ（書き込み専用の方向ビットを除く）がシステムに送られます。

Port Bit	Port Data
7, 6	Reserved
5	Direction (Option)
4	IRQ EN
3	Pin 17 (SLCT IN)
2	Pin 16 (-INIT)
1	Pin 14 (AUTO FD XT)
0	Pin 1 (STROBE)

図　3-159. パラレル・コントロール・ポート

ビット7, 6 予約済み

ビット5 この書き込み専用ビットは、拡張モードでのデータ・ポートの方向を制御します。このビットを0にセットすると、データ・ポートへの書き込みが行われます。このビットを1にセットすると、データ・ポートからの読み出しが行われます。

ビット4 ビット4を1にセットすると、-ACKがアクティブからインアクティブに変化したときに割り込みが発生します。このビットはパラレル・ポート・割り込みをイネーブルします。

割り込みレベルはパラレル・ポート・アドレスによって決ります（3-145ページの図3-157を参照）。

ビット3 ビット3はSLCT INを制御します。ビット3を1にセットすると、プリンターが選択されます。

ビット2 ビット2は-INITプリンター信号を制御します。ビット2を0にセットすると、プリンターが始動します。

ビット1 ビット1はAUTO FD XTを制御します。ビット1を1にセットすると、プリンターは各行の印刷後に自動的に改行します。

ビット0 ビット0はプリンターへのSTROBEを制御します。ビット0を1にセットすると、データがプリンター内にクロックされます。

3.5.4 パラレル・ポートのタイミング

パラレル・ポートのタイミングは、同ポートに接続されている装置のタイミングに応じて異なります。図3-160に、典型的なパラレル・ポート信号のタイミング・シーケンスを示します。

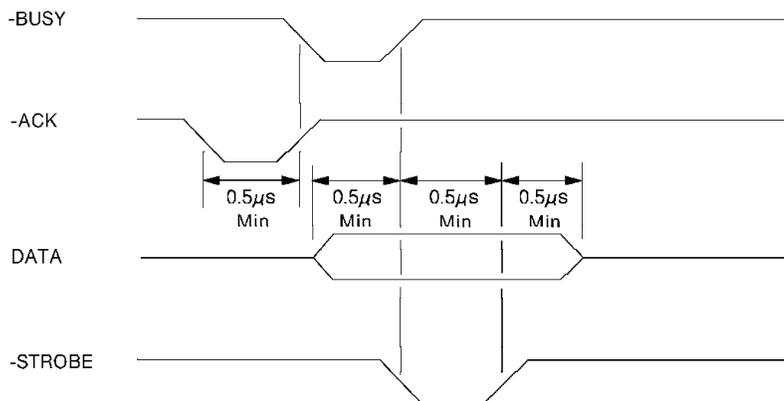



図 3-160. パラレル・ポートのタイミング・シーケンス

3.5.5 信号の説明

図3-161および図3-162に、データ信号、割り込み信号、および制御信号の特性を示します。

Sink Current	12 mA	Maximum
Source Current	2 mA	Maximum
High-level Output Voltage	2.4 V dc	Minimum
Low-level Output Voltage	0.5 V dc	Maximum

図 3-161. データ信号と割り込み信号

ピン1, 14, 16, および17はオープン・ドレン・ドライバーによってドライブされ、4.7KΩの抵抗によってDC 5Vにプルアップされています。

Sink Current	10 mA	Maximum
Source Current	0.2 mA	Maximum
High-level Output Voltage	5.0 V dc minus pullup	Minimum
Low-level Output Voltage	0.5 V dc	Maximum

図 3-162. 制御信号

3.6 メモリー

システムは次のタイプのメモリーを備えています。

- 読み出し専用メモリー（ROM）
- ランダム・アクセス・メモリー（RAM）
- CMOS RAM

3.6.1 CMOS RAM

メモリー制御およびリアルタイム・クロック装置はモトローラ**(Motorola) MC 146818Aと同等の機能を備えたものを規定します。これには、システム・バスを介してアクセスできるリアルタイム・クロックおよび不揮発性RAM (RT/CMOS)が組み込まれています。

下図に、RT/CMOS RAMの各バイトとそれぞれのアドレスを示します。

Address (Hex)	**Function**
000 - 00D	* Real-Time Clock Information
00E	* Diagnostic Status Byte
00F	* Shutdown Status Byte
010	Diskette Drive Byte
011	Reserved
012	Hard Disk Type Byte
013	Reserved
014	Equipment Byte
015 - 016	Low and High Base Memory Bytes
017 - 018	Low and High Expansion Memory Bytes
019	Disk C Extended Byte
01A	Disk D Extended Byte
01B - 02D	Reserved
02E - 02F	Configuration CRC Bytes
030	* Low Expansion Memory Byte
031	* High Expansion Memory Byte
032	* Date Century Byte
033	* Date Information Flags
034 - 03F	*Reserved

図　3-163. RT/CMOS RAMアドレス・マップ(IBM PC/AT)

*　これらのバイトはチェック・サム及び構成情報の記録には使用されていません。

Address(Hex)	Function
000 to 00D	*Real-Time Clock Information
00E	*Diagnostic Status Byte
00F	*Shut Down Status Byte
010	Diskette Drive Byte
011	Hard Disk Type Byte
012	Reserved
013	Equipment Byte Extension
014	Equipment Byte
015 - 016	Low and High Base Memory Bytes
017 - 018	Low and High Memory Expansion Bytes
019 - 031	Reserved
032 - 033	Configuration CRC Bytes
034 - 036	*Reserved
037	*Date Century Byte
038 - 03F	*Reserved
040 - 07F	*Not Defined

図　3-164. RT/CMOS RAM アドレス・マップ (PS/2)

* これらのバイトは、チェックサム及び構成情報の記録には使用されていません。

RT/CMOS RAM I/O操作

RT/CMOS RAMアドレスへのI/O操作中は割り込みを禁止する必要があります。これは、データの読み出しまたは書き込みの前に、割り込みルーチンによってCMOSアドレス・レジスターが変更されてしまうのを防ぐためです。ポート0070h（NMIマスク・レジスター）は、RT/CMOSのステータス・レジスター0Dhを指し示した状態のままにしておかなければなりません。

RT/CMOS RAMアドレスへのI/O操作に必要な手順は次のとおりです。

1. CLI
2. ポート0070hへのOUTにより、書き込みたいRT/CMOSアドレスを出力する。

   注: ポート0070hにはNMIマスク・ビットが入っています。（1-7ページの1.3.1、『マスク不能割り込み』を参照してください。）

3. I/O遅延としてJMP $+2。
4. ポート0071hへのOUTにより、書き込みたいデータを出力する。
5. I/O遅延としてJMP $+2。
6. STI

RT/CMOS RAMの読み出しに必要な手順は次のとおりです。

1. CLI

2. ポート0070hへのOUTにより、読み出したいCMOSアドレスを出力する。
3. I/O遅延としてJMP $+2。
4. ポート0071hからのIN。
5. I/O遅延としてJMP $+2。
6. STI

警告:

1. ポート0070hへの書き込みをしたら、ただちにポート0071hへの読み出しをアクセスする必要があります。そうしないと中断障害が発生し、RT/CMOS RAMの動作の信頼性が損われることがあります。

2. 高速のクロックスピードで動作するマイクロプロセッサーを使ったシステムでは、I/O遅延がJMP$+2では不十分な場合があります。

リアルタイム・クロック

図3-165にリアルタイム・クロック・バイト（アドレス000h〜00Dh）のビット定義を示します。

Address (hex)	Function	Byte Number
000	Seconds	0
001	Second Alarm	1
002	Minutes	2
003	Minute Alarm	3
004	Hours	4
005	Hour Alarm	5
006	Day of Week	6
007	Date of Month	7
008	Month	8
009	Year	9
00A	Status Register A	10
00B	Status Register B	11
00C	Status Register C	12
00D	Status Register D	13

図　3-165. リアルタイム・クロック（アドレス000h〜00Dh）

注: セットアップ・プログラムは、時刻と日付をセットするときに、レジスターA, B, C, およびDを初期化します。INT 1Ahは時刻と日付を読み出してセットするBIOSコールであり、これもステータス・バイトをセットアップ・プログラムと同じにセットします。

ステータス・レジスターA

ビット7 更新処理中 (Update in Progress : UIP)—ビット7が1にセットされているときは、時刻更新サイクルが進行中であることを示します。ビット7が0にセットされているときは、現在の日付と時刻が読み出せることを示します。

ビット6～4 22ステージ・ディバイダー (22-Stage Divider :DV2～DV0)—この3つのディバイダー選択ビットは、どのタイムベース周波数が使用されているかを識別します。システムはステージ・ディバイダーを010に初期化します。これは、32.768kHzのタイムベースを選択します。これは、正しい時刻のためにシステムがサポートする唯一の値です。

ビット3～0 レート選択ビット (Rate Selection Bits : RS3～RS0)—これらのビットによりディバイダー出力周波数が選択できます。システムは、レート選択ビットを0110に初期化します。これは、1.024kHzの矩形波出力周波数と976.562マイクロ秒周期の割り込みレートを選択します。

ステータス・レジスターB

ビット7 セット(Set) —このビットを1にセットすると、処理中の更新サイクルはすべて停止します。プログラムは14個の時刻バイトを初期化でき、このビットに0が書き込まれるまでは新たな更新は生じません。ビット7を0にセットすると、1秒に1カウントずつ進める通常の方式でサイクルが更新されます。

ビット6 定期的割り込みイネーブル (Periodic Interrupt Enable :PIE)—ビット6を1にセットすると、レジスターAのレート・ビットおよびディバイダー・ビットに指定したレートで割り込みが発生します。ビット6を0にセットすると割り込みはディセーブルされます。ビット6は読み書きビットであり、システムはこれを0に初期化します。

ビット5 アラーム割り込みイネーブル (Alarm Interrupt Enable :AIE)—ビット5を1にセットすると、アラーム割り込みがイネーブルされます。ビット5を0にセットすると、アラーム割り込みがディセーブルされます。システムはこのビットを0に初期化します。

ビット4 更新終了割り込みイネーブル (Update-Ended Interrupt Enable : UIE)—ビット4を1にセットすると、更新終了割り込みがイネーブルされます。ビット4を0にセットすると、更新終了割り込みがディセーブルされます。システムはこのビットを0に初期化します。

ビット3 矩形波イネーブル (Square Wave Enabled : SQWE)—ビット3を1にセットすると、ステータス・レジスターAのレート選択ビットに指定した矩形波周波数がイネーブルされます。ビット3を0にセットすると、矩形波がディセーブルされます。システムはこのビットを0に初期化します。

ビット2 日付モード (Date Mode : DM)—ビット2を1にセットすると、時刻と日付が2進形式を使って更新されます。
ビット2を0にセットすると、時刻と日付は2進化10進（BCD）形式を使って更新されます。システムはこのビットを0に初期化します。

ビット1 24/12—ビット1を1にセットされているときは、時間バイトは24時間モードになっています。ビット1が0にセットされているときは、時間バイトは12時間モードになっています。システムはこのビットを1に初期化します。

ビット0　夏時間イネーブル (Daylight Saving Enable : DSE)—ビット0を1にセットすると、夏時間がイネーブルされます。ビット0を0にセットすると、夏時間がディセーブルされます（標準時間に戻ります）。システムはこのビットを0に初期化します。

ステータス・レジスターC

ビット7〜4 IRQF, PF, AF, UF—これらの読み出し専用フラグ・ビットは、ステータス・レジスターBでのPIE, AIE, およびUIE割り込み（ビット6〜4）のイネーブルに応じて変化します。

ビット3〜0 予約済み

ステータス・レジスターD

ビット7　有効RAMビット (Valid RAM bit : VRB)—これは読み出し専用ビットで、電源感知ピンを介してCMOS RAMの内容の状態を示します。電源感知ピンが低レベル状態にあれば、リアルタイム・クロックの電源（電池）が切れています。ビット7が1にセットされていれば、リアルタイム・クロックの電源があります。ビット7が0にセットされていれば、リアルタイム・クロックの電源がなくなっています。

ビット6〜0 予約済み

3.6.2 CMOS RAMの構成

以下に、CMOS構成バイト（アドレス00Eh〜03Fh）のビット定義を示します。

診断ステータス・バイト（00Eh）

ビット7　リアルタイム・クロック電源(Real-Time Clock Power) —ビット7が1にセットされているときは、リアルタイム・クロック・チップの電源がなくなっています。ビット7が0にセットされているときは、リアルタイム・クロック・チップの電源はなくなっていません。

ビット6　構成レコードとチェックサムのステータス(Configuration Record and Checksum Status) —ビット6が1にセットされているときは、チェックサムが正しくありません。ビット6が0にセットされているときは、チェックサムが正しいことを示します。

ビット5　構成誤り(Incorrect Configuration) —これは、電源投入時における構成レコードの装備バイトの検査結果です。ビット5が1にセットされているときは、構成情報に誤りがあります。電源投入検査では、ディスケット・ドライブが少なくとも1台は取り付けてある（装備バイトのビット0が1にセットされている）ことが必要です。ビット5が0にセットされているときは、構成情報に誤りはありません。

ビット4　メモリー・サイズ不一致(Memory Size Miscompare) —ビット4が1にセットされているときは、電源投入時検査の結果、メモリー・サイズが構成レコード内のメモリー・サイズと同じでないと判定されています。ビット4が0にセットされているときは、この2つのメモリー・サイズが一致しています。

ビット3　ハードディスク・コントローラー/ドライブC初期化ステータス(Fixed-Disk Controller/Drive C Initialization Status) —ビット3が1にセットされているときは、コントローラーまたはドライブCの初期化が失敗したため、システムによる電源投入リセットがで

きないことを示します。ビット3が0にセットされているときは、コントローラーおよびハードディスク・ドライブCは正常に機能しているので、システムは電源投入リセットを試みることができます。

ビット2 Time Status Indicator (POST validity check) —ビット2が1にセットされているときは時刻が無効です。ビット2が0にセットされているときは時刻は有効です。

ビット1 予約済み

ビット0 予約済み

遮断ステータス・バイト（00Fh）

このバイトのビットは電源投入の診断機能によって定義されます。

ディスケット・ドライブ・タイプ・バイト（010h）

ビット7〜4 第1ディスケット・ドライブのタイプ:

0000 = No drive present
0001 = Reserved
0010 = Reserved
0011 = 720 KB 3.5 inch drive
0100 = 1.44 MB 3.5 inch drive

注: 0101〜1111は予約済みです。

ビット3〜0 取り付けられている第2ディスケット・ドライブのタイプ:

0000 = No drive present
0001 = Reserved
0010 = Reserved
0011 = 720 KB 3.5 inch drive
0100 = 1.44 MB 3.5 inch drive

注: 0101〜1111は予約済みです。

予約済み（011h）(IBM PC/AT*)

ハードディスク・タイプ・バイト (011h) (PS/2)

このバイトは、ハードディスクが取付けられた場合にそのドライブ（ドライブC）のタイプを定義します。00hはハードディスク・ドライブが取り付けられていないことを示します。

図3-166に、ハードディスク・ドライブのタイプおよびBIOSパラメーターを示します。

Type	Number of Cylinders	Number of Heads	Number Write Precompensation	Landing Zone	Defect Map
0 (0H)		—No fixed disk installed—			No
1 (1H)	306	4	128	305	No
2 (2H)	615	4	300	615	No
3 (3H)	615	6	300	615	No
4 (4H)	940	8	512	940	No
5 (5H)	940	6	512	940	No
6 (6H)	615	4	0FFFFH (none)	615	No
7 (7H)	462	8	256	511	No
8 (8H)	733	5	0FFFFH (none)	733	No
9 (9H)	900	15	0FFFFH (none)	901	No
10 (AH)	820	3	0FFFFH (none)	820	No
11 (BH)	855	5	0FFFFH (none)	855	No
12 (CH)	855	7	0FFFFH (none)	855	No
13 (DH)	306	8	128	319	No
14 (EH)	733	7	0FFFFH (none)	733	No
15 (FH)			—Reserved—		
16 (10H)	612	4	0 (all cyl.)	663	No
17 (11H)	977	5	300	977	No
18 (12H)	977	7	0FFFFH (none)	977	No
19 (13H)	1024	7	512	1023	No
20 (14H)	733	5	300	732	No
21 (15H)	733	7	300	732	No
22 (16H)	733	5	300	733	No
23 (17H)	306	4	0 (all cyl.)	336	No
24 (18H)	612	4	305	663	No
25 (19H)	306	4	0FFFFH (none)	340	No
26 (1AH)	612	4	0FFFFH (none)	670	No
27 (1BH)	698	7	300	732	Yes
28 (1CH)	976	5	488	977	Yes
29 (1DH)	306	4	0 (all cyl.)	340	No
30 (1EH)	611	4	306	663	Yes
31 (1FH)	732	7	300	732	Yes
32 (20H)	1023	5	0FFFFH(none)	1023	Yes
33 (21H)	614	4	0FFFFH(none)	663	Yes
34 (22H)	775	2	0FFFFH(none)	900	No
35 (23H)			-Reserved-		
36 (24H)	402	4	0FFFFH(none)	460	No

Types 37 (25H) through 255 (FFH) are reserved.

図　3-166. ハードディスクBIOSパラメーター

ハードディスク・タイプ・バイト(012h) (IBM PC/AT)

このバイトはハードディスクが取付けられた場合にそのドライブのタイプを定義します。

ビット7 - 4　導入された1番目のハードディスク・ドライブのタイプを示します(drive C):

0000　ハードディスクなし。

0001〜1110　図3-166のタイプ1〜14を示す。

1111　タイプ16〜255。ドライブC拡張バイト(019h)参照。

ビット3 - 0　導入された2番目のハードディスク・ドライブのタイプを示します(drive D):

0000　ハードディスクなし。

0001〜1110　図3-166のタイプ1〜14を示す。

1111　タイプ16〜255。ドライブD拡張バイト(019h)参照。

予約済み (012h) (PS/2)

予約済み (013h)

装備バイト (014h)

ビット7, 6　取り付けられているディスケット・ドライブの台数を示します:

00 = One drive
01 = Two drives
10 = Reserved
11 = Reserved

ビット5, 4　ディスプレイ・モード

00 = Reserved.
01 = 40桁モード
10 = 80桁モード
11 =モノクロ・モード

ビット3, 2　予約済み

ビット1　数値演算プロセッサー・ビット:

0 = Math coprocessor not installed.
1 = Math coprocessor installed.

ビット0　ディスケット・ドライブ・ビット:

0 = No diskette drives installed.
1 = Diskette drives installed.

注:　装備バイトは、電源投入診断テストのために、システムが装備している基本的な装置を定義します。

ベース・メモリー・バイト (015hおよび016h)

これらのバイトは、640KB以下のアドレス空間のメモリー量を定義します。

これらのバイトの16進数値は、1KBを1ブロックとした場合のベース・メモリーのブロック数を表します。たとえば、0280hは640KBを表します。バイト015hはベース・メモリーの低位バイトです。バイト016hはベース・メモリーの高位バイトです。

メモリー拡張バイト (017hおよび018h)

これらのバイトは、1MBを超えるアドレス空間のメモリー量を定義します。

これらのバイトの16進数値は、1KBを1ブロックとした場合の拡張メモリーのブロック数を示します。バイト017hは拡張メモリー・サイズの低位バイトです。バイト018hは拡張メモリー・サイズの高位バイトです。

予約済み (019h～031h) (PS/2)

ドライブC拡張バイト(019h) (IBM PC/AT)

ビット7～0　導入されたハードディスクのタイプを示します。(Drive C):

00h～0Fhは予約済み。
10h～FFhは図3-166のタイプ16～255を示す。

ドライブD拡張バイト(01Ah) (IBM PC/AT)

ビット7～0　導入されたハードディスクのタイプを示します。(Drive D):

00h～0Fhは予約済み。
10h～FFhは図3-166のタイプ16～255を示す。

予約済み (01Bh～02Dh)（IBM PC/AT)

装置構成CRCバイト(02Ehおよび02Fh) (IBM PC/AT)

これらのバイトには、バイト010h～02Dhについての巡回冗長検査(CRC)データが入ります。バイト02Ehは装置構成CRCの高位バイトです。バイト02Fhは装置構成CRCの低位バイトです。

メモリー拡張バイト（030hおよび031h）(IBM PC/AT)

これらのバイトは1MBのアドレス空間を越えて導入されたメモリーの合計を示します。

これらの16進数の値は拡張メモリーの1kBブロック単位の数量を表しています。例えば、0800hは2048KBを意味します。バイト017hは拡張メモリー・サイズの低位バイトです。バイト018hは高位バイトです。

注: この2バイトのデータは電源投入時に確定される1MBを越える拡張メモリーの総数になります。この拡張メモリー・サイズはシステム・インタラプト15により読み出されます。電源投入時の基本メモリー数はシステムのメモリー・サイズを決定するインタラプト(12h)により決定されます。

日付世紀バイト(032h) (IBM PC/AT)

このバイトには、世紀を表すBCD値が入ります。(BIOSインターフェイスが読み出しとセットをします）。

情報フラグ(033h)(IBM PC/AT)

ビット7 このビットがセットされた場合は基本メモリーの上位128Kが導入されたことを示します。

ビット6 このビットは、PCの初期のセットアップ後、最初のユーザーメッセージを出す様セット・アップ・ユーティリティへ指示するものです。

ビット5〜0 予約済み。

装置構成CRCバイト (032hおよび033h) (PS/2)

これらのバイトには、バイト010h〜031hについての巡回冗長検査（CRC）データが入ります。バイト032hは装置構成CRCの高位バイトです。バイト033hは装置構成CRCの低位バイトです。

予約済み (034h〜03Fh) (IBM PC/AT)

予約済み (034h〜036h) (PS/2)

日付世紀バイト (037h) (PS/2)

このバイトには、世紀を表すBCD値が入ります（BIOSインターフェースが読み出しとセットをします）。

予約済み（038h〜03Fh) (PS/2)

未定義（040h〜07F) (PS/2)

3.7 各種システム・ポート

ポート0061h, 0070h, および0092hには、システムの制御のために使用する情報が入ります。

3.7.1 システム制御ポートB (061h)

ポートBは、I/Oアドレス0061hへのI/O読み書き操作によりアクセスされます。図3-167にビット定義を示します。

Bit	Function
7 - 4	Reserved
3	-Enable Channel Check
2	-Enable Parity Check
1	Speaker Data Enable
0	Timer 2 Gate to Speaker

図 3-167. システム制御ポートB（書き込み）

Bit	Function
7	Parity Check
6	Channel Check
5	Timer 2 Output
4	Toggles with each Refresh Request
3	Enable Channel Check
2	Enable Parity Check
1	Speaker Data Enable
0	Timet 2 Gate to Speaker

図 3-168. システム制御ポートB（読み出し）

ビット7 ビット7が1にセットされているときは、パリティー・エラーが発生しています。

ビット6 ビット6が1にセットされているときは、チャネル・エラーが発生しています。

ビット5 ビット5は、タイマー/カウンター2の出力信号の状態を示します。

ビット4 ビット4は、各リフレッシュ要求ごとにトグルします。

ビット3 ビット3を0にセットすると、チャネル・エラーがイネーブルされます。読み出しでは、このビットへの最後の書き込みの結果が戻されます。システムは、電源投入リセットのときにこのビットを1に初期化します。

ビット2　ビット2を0にセットすると、パリティー・エラーがイネーブルされます。読み出しでは、このビットへの最後の書き込みの結果が戻されます。システムは、電源投入リセットのときにこのビットを1に初期化します。

ビット1　ビット1を1にセットすると、書き込みでスピーカー・データがイネーブルされます。読み出しでは、このビットへの最後の書き込みの結果が戻されます。システムは、電源投入リセットのときにこのビットを0に初期化します。

ビット0　ビット0を1にセットすると、タイマー2ゲートがイネーブルされます。読み出しでは、このビットへの最後の書き込みの結果が戻されます。ビット0を0にセットすると、ゲートがディセーブルされます。

3.7.2 RT/CMOSおよびNMIマスク (070h)

Bit	Function
7	Non-maskable Interrupt (NMI)
6	Reserved
5 - 0	RT/CMOS RAM

図　3-169. RT/CMOSおよびNMIマスク

ビット7　ビット7を0にクリアーすると、NMIがイネーブルされます。ビット7を1にセットすると、NMIがマスクされます。このビットは、電源投入リセットのときに1にセットされます。このビットは書き込み専用です。NMIの詳細については、1-7ページの1.3、『割り込み』を参照してください。

ビット6　予約済み

ビット5〜0　3-151ページの『RT/CMOS RAM I/O操作』を参照してください。

注: ポート0071hは、CMOS RAMおよびNMIマスク・レジスターの読み書きをするために、ポート0070hとともに使用されます。

3.7.3 システム制御ポートA (0092h)

ポート0092hは、代替システム・マイクロプロセッサー・リセット、PASS A20をサポートします。このポートは、PS/2との互換のために必要です。PC/ATではこれらは8042の出力ポートでサポートされています。図3-170に、ポート0092hのビット定義を示します。

Bit	Function
7 - 3	Reserved
2	Reserved = 0
1	Alternate Gate A20
0	Reset

図　3-170. システム制御ポートA

ビット7〜3　予約済み

ビット2　予約済み

ビット1　ビット1を1にセットすると、マイクロプロセッサーが実アドレス・モードのときにA20アドレス・ビットがアクティブになります。このビットとキーボード・コントローラーの出力ポートを0にセットすると、実アドレス・モードでA20がインアクティブになります。この読み書きビットはシステム・リセットの時点で0にセットされます。

ビット0　このビットが0から1に変わるとプロセッサー・リセットが生じます。

3.8 フォントROMコントロールレジスター（オプション）

レジスター1160h, 1162h, 1163hはフォントROMコントロールの情報として使用されます。これらのレジスターはオプションです。ここではフォントROMを装着する場合の実現例を示します。

注: POSTはすべてのレジスターの初期化を行わなければなりません。

ファント・バンク・レジスター(1160h)

Bit	Function
7 - 0	Bank Select (POR Hex 00)

図 3-171. フォント・バンク・レジスター

ビット7 - 0 これらのビットはフォント・ウィンドーの中のバンク・アドレスを決定します。このウィンドーは、フォント再配置レジスター(1162h)のビット4〜1により決定されます。

フォント・セグメント・アドレス・レジスター(1162h)

Bit	Function
7 - 5	Reserved
4 - 1	Window Position
0	Reserved

図 3-172. フォント・セグメント・アドレス・レジスター

ビット7 - 5 これらのビットは常に110で、読み出し専用です。

ビット4 - 1 これらのビットは下図に示される8Kバイト幅のフォント・ウィンドーのセグメント・アドレスを示します。

Bit 4 - 1	Window Position	Bit 4 - 1	Window Position
b'0000'	X'0C0000'-X'0C1FFF'	b'1000'	X'0D0000'-X'0D1FFF'
b'0001'	X'0C2000'-X'0C3FFF'	b'1001'	X'0D2000'-X'0D2FFF'
b'0010'	X'0C4000'-X'0C5FFF'	b'1010'	X'0D4000'-X'0D5FFF'
b'0011'	X'0C6000'-X'0C7FFF'	b'1011'	X'0D6000'-X'0D7FFF'
b'0100'	X'0C8000'-X'0C9FFF'	b'1100'	X'0D8000'-X'0D9FFF'
b'0101'	X'0CA000'-X'0CBFFF'	b'1101'	X'0DA000'-X'0DBFFF'
b'0110'	X'0CC000'-X'0CDFFF'	b'1110'	X'0DC000'-X'0DDFF'
b'0111'	X'0CE000'-X'0CFFFF'	b'1111'	X'0DE000'-X'0DFFFF'

図 3-173. ウィンドー位置

ビット0 このビットは常に0で、読み出し専用です。

注: POSTにより初期化された後は、このレジスターへの書き込みはさけるべきです。

フォント・ウィンドー・コントロール・レジスター(1163h)

Bit	Function
7 - 1	Reserved = 0
0	Font Window Enable

図 3-174. フォント・ウィンドー・コントロール・レジスター

ビット7 - 1 予約済み。

ビット0 このビットが1にセットされた場合、フォントROMは読み出し可能となります。0にセットされた場合は読み出し不可です。このビットはパワー・オン・リセットにより0にセットされます。

注: POSTにより初期化された後は、このレジスターへの書き込みはさけるべきです。

キーボード

第4章 キーボード

4.1 概要

PCオープンアーキテクチャーでは、以下のキーボードをサポートします。

- IBM 5576-A01 (OADG 106キーボード)
- IBM101 US Englishキーボード (OADG 101キーボード)
- AXキーボード
- 東芝J-3100キーボード
- OADG 109キーボード
- OADG 104キーボード

キーボード自体は固有部分であり、システムにより異なります。IBM 5576-A01, IBM 101, OADG 109キーボード及びOADG 104キーボードの配列および走査コードは、付録A, 『キーボード配列と走査コード』を参照してください。

AXキーボード及び東芝J-3100キーボードの配列及び走査コードは、各キーボードに関する資料を参照してください。

互換性の問題をさけるため、アプリケーションは、キーボードBIOS (INT 16h)よりコードを取得するべきであり、直接走査コードを読むことはさけるべきです。

4.2 順次キー・コード走査

キーボードでは押されたキーをすべて検知し、各走査コードを正しいシーケンスで送信します。システムによるサービスが行われていない場合、キーボードは走査コードをキーボード自身のバッファーに記憶します。

4.2.1 バッファー

キーボードには16バイトの先入れ先出し(FIFO：first-in-first-out)方式のバッファーがあり、走査コードはシステムの受信準備が整うまでこのバッファーに記憶されます。キーボード・バッファーに16バイトを超えるデータが入れられると、バッファー・オーバーランが起きます。17番目のバイトの代わりにオーバーラン・コードがセットされます。システムがキーボード出力を許す前にさらにキーを押すと、そのデータは失われます。

キーボードがデータを送信することが許されている場合、バッファー内のバイトは通常操作と同様に送信され、データが新たに入れられるとそれを検知して送信します。応答コードはバッファーを占有しません。

キー・ストロークで複数バイト・シーケンスが生成される場合、シーケンス全体がバッファーに入りきらなければ、そのキー・ストロークは廃棄されバッファー・オーバーランが発生します。

4.2.2 キー

IBM 5576-A01型キーボード, 101キーボード, OADG 109キーボード及びOADG 104キーボードは、走査コード・セット1, 2, 3をサポートします。デフォルトは、走査コード・セット2です。走査コード・セットは、システムからのコマンドで選択できます。選択方法については、4-8ページの4.4.7、『代替走査コード選択 (F0h)』の説明を参照してください。

キーのタイプは、次の3種類があります。

- **メーク・キー**

  このキーを押すと、メーク・コードが送られます。キーを放すと、何も送られません。

- **タイパマティック・キー**

  このキーを押すと、メーク・コードが送られます。キーを押し続けると、キーボードはメーク・コードの送信に続き、タイパマティック・ディレイの後、そのキーのメーク・コードをタイパマティック・レートで送信し続けます。2つ以上のキーを押し続けると、最後に押したキーのメーク・コードだけがタイパマティック・レートで繰り返し送られます。最後に押したキーを放したとき、他のキーを押し続けていても、タイパマティック動作が終了します。タイパマティック・レートは、毎秒10.9文字±20%です。

- **メーク/ブレーク・キー**

  このキーを押すと、メーク・コードが送られます。キーを放すと、ブレーク・コードが送られます。

キーのタイプは走査コード・セット(1, 2および3)によって異なります。

走査コード・セット1, 2を使用する場合

ポーズ・キーを除いて、すべてのキーがメーク/ブレーク型で、かつ、タイパマティックです。キーを押すと、そのメーク・コードがキーボード・コントローラーに送信されます。
そのままキーを押し続けると、タイパマティック・ディレイの後、そのキーのメーク・コードをタイパマティック・レートで送信し続けます。
キーを放すと、ブレーク・コードが送信されます。タイパマティック・レートとディレイは変更できます。（4-11ページの4.4.12、『セット・タイパマティック・レート/ディレイ (F3h)』を参照してください。）

走査コード・セット3を使用する場合

この走査コードを使うと、システムはすべてのキーのタイプを変更することができます。変更方法については、4-9ページの4.4.8、『セット・オール・キー (F7h, F8h, F9h, FAh)』, 4-9ページの4.4.10、『セット・キー・タイプ(FBh, FCh, FDh)』の説明を参照してください。

注: サポートする走査コード・セットは、キーボードにより異なります。各キーボードがサポートする走査コード・セットは付録A, 『キーボード配列と走査コード』を参照してください。

4.3 電源投入ルーチン

キーボードに最初に電源を投入したとき、次の動作が行われます。

4.3.1 電源投入リセット(POR)

キーボードに最初に電源が入ったとき、キーボード論理回路では電源投入リセット信号(POR：power-on reset)を生成します。PORは、キーボードに最初に電源が入った時点から150ms(ミリ秒)〜2.0s(秒)で発生します。

4.3.2 基本保証テスト(BAT)

基本保証テスト(BAT：basic assurance test)には、キーボード・プロセッサー・テスト、ROMのチェック・サム（検査合計）、およびRAMテストが含まれます。BATの実行中は、クロックとデータの信号線の活動は無視されます。ステータス・インジケーターLED（状況表示器）はBATの開始時に点灯し、終了時に消灯します。BATの実行に費やされる時間は、最低300ms, 最高500msです。この時間が、PORに必要な時間に加算されます。

BATが正常に完了すると、完了コード(AAh)がシステムに送信され、キーボード走査が開始されます。BATが異常終了すると、キーボードからシステムにエラー・コードが送信されます。キーボードがディセーブルされ、コマンド入力を待ちます。完了コードはPOR後450msから2.5sの間、およびリセット・コマンドのAck応答（肯定応答）後300〜500msの間に送信されます。

4.4 システムからのコマンド

次に、システムが送信できるコマンドとその16進値を示します。

Command	Hex Value
Set/Reset Status Indicators	ED
Echo	EE
Invalid Command	EF
Select Alternate Scan Codes	F0
Invalid Command	F1
Read ID	F2
Set Typematic Rate/Delay	F3
Enable	F4
Default Disable	F5
Set Default	F6
Set All Keys	
- Typematic	F7
- Make/Break	F8
- Make	F9
- Typematic/Make/Break	FA
Set Key Type	
- Typematic	FB
- Make/Break	FC
- Make	FD
Resend	FE
Reset	FF

図　4-1. システムからのキーボード・コマンド

これらのコマンドは、任意の時点でキーボードへ送信できます。キーボードは20ms以内に応答しますが、BATおよびリセット・コマンドの実行時は例外です。

次に、各コマンドを示します。キーボードから発行された場合は意味が異なります(4-13ページの4.5、『システムへのコマンド』を参照してください）。

4.4.1 デフォルト・ディセーブル (F5h)

デフォルト・ディセーブル・コマンドは、すべての条件を電源投入時のデフォルト状態にリセットします。キーボードはACKで応答し、出力バッファーをクリアーして、デフォルト・キー・タイプ(走査コード・セット3の場合のみ)とタイパマティック・レート/ディレイを設定して、タイパマティック動作を止めます。キーボードは走査を停止し、次のコマンドを待ちます。

4.4.2 エコー (EEh)

エコーは診断を補助します。このコマンドを受信すると、キーボードは応答EEhを発行します。また、キーボードがすでにイネーブルされていると、走査を継続します。

4.4.3 イネーブル (F4h)

このコマンドを受信すると、キーボードはACKで応答し、出力バッファーとタイパマティック動作を止めて、走査を開始します。

4.4.4 ID読み出し (F2h)

このコマンドは、キーボードに識別情報を要求します。キーボードはACKで応答し、走査を停止して、2バイトのキーボードIDを送信します。初めに低位バイト、次に高位バイトが送られます。第2バイトは第1バイトの送信完了後500μs以内に送信されます。2番目のIDバイトの送信後、キーボードは走査を再開します。

4.4.5 再送信 (FEh)

システムは、キーボードからの転送中にエラーを検知したときにこのコマンドを送信します。このコマンドが送られるのは、キーボード転送の後システムが次のキーボード出力を許すまでの間だけです。キーボードは、再送信コマンドを受信すると、前の出力を再度送信します(ただし、前の出力が再送信である場合は例外で、この場合キーボードは再送信コマンドの直前のバイトを送信します)。

4.4.6 リセット (FFh)

システムはリセット・コマンドを発行して、プログラム・リセットとキーボード内部自己テストを開始させます。このコマンドに対してキーボードは、ACKで応答し、コマンドの実行前に必ずシステムにACKを受信させます。システムは、クロックとデータの信号線を最低500μsのあいだ高レベルにして、ACKの受け付けを知らせます。キーボードは、リセット・コマンドの受信からACKが受け付けられるまで、または別のコマンドが送られてきて前のリセット・コマンドが取り消されるまでの間ディセーブルされます。

ACKが受け付けられると、キーボードは再び初期化され、BATを実行します。

4.4.7 代替走査コード選択 (F0h)

このコマンドは、キーボードに対して3種類の走査コード・セットの内の1つを選択するよう指示します。キーボードはこのコマンドを受信するとACKで応答し、出力バッファーをクリアし、タイパマティック動作を停止します。次にシステムはオプション・バイトを送信し、キーボードは再度ACKで応答します。オプション・バイトの値に従って、次図のように走査コード・セットが選択されます。

Option Byte(Hex)	Scan Code Set
01	1
02	2
03	3

図　4-2. 代替走査コード・セット

オプション・バイトの値が00hの場合、キーボードはACKで応答し、現行の走査コード・セットをシステムに伝えるために1バイトを送信します。

新しい走査コード・セットを確立した後、キーボードは代替走査コード選択コマンドを受信する前の走査状態に戻ります。

4.4.8 セット・オール・キー (F7h, F8h, F9h, FAh)

これらのコマンドは、すべてのキーを次図のタイプにセットするようキーボードに指示します。

Hex Value	Command
F7	Set All Keys—Typematic
F8	Set All Keys—Make/Break
F9	Set All Keys—Make
FA	Set All Keys—Typematic/Make/Break

図　4-3. セット・オール・キー・コマンド

キーボードはACKで応答し、出力バッファーをクリアーして、すべてのキーをコマンドで示された条件にセットし、走査を継続します(このコマンドよりも前にイネーブルされている場合)。これらのコマンドはどの走査コード・セットを使用していても送信できますが、影響を及ぼすのは走査コード・セット3の動作だけです。

4.4.9 セット・デフォルト (F6h)

セット・デフォルト・コマンドは、すべての条件を電源投入時のデフォルト状態にリセットします。キーボードはACKで応答し、出力バッファーをクリアーして、デフォルト・キー・タイプ（走査コード・セット3の動作のみ）とタイパマティック・レート/ディレイをセットし、タイパマティック動作を止めて、走査を継続します。

4.4.10 セット・キー・タイプ(FBh, FCh, FDh)

これらのコマンドは、個々のキーを次のタイプに設定するようキーボードに指示します。

Hex Value	Command
FB	Set Key Type―Typematic
FC	Set Key Type―Make/Break
FD	Set Key Type―Make

図　4-4. セット・キー・タイプ・コマンド

キーボードはACKで応答し、出力バッファーをクリアーして、キー識別の受信に備えます。システムは、走査コード・セット3で定義された走査コードの値によって各キーを識別します。走査コード・セット3の値だけが、キー識別に使用されます。識別された各キーのタイプは、コマンドで示されたキー・タイプにセットされます。

Previous Command or Data	Set Key Type Command (Hex. FD or FC or FB)	Key Identification Scan Code	Key Identification Scan Codes	Following Command

図　4-5. セット・キー・タイプのコード・シーケンス

これらのコマンドは、どの走査コード・セットを使用していても送信できますが、影響を及ぼすのは走査コード・セット3の動作だけです。

4.4.11 セット/リセット・ステータス・インジケーター (EDh)

キーボード上には、Num Lock, Caps Lock, およびScroll Lockの3つのステータス・インジケーター(状況表示器)があり、システムからアクセスすることができます。キーボードは、システムから有効なコマンド・コード・シーケンスを受信したときにこれらのステータス・インジケーターをアクティブにしたりインアクティブにしたりします。コマンド・シーケンスはコマンド・バイト(EDh)で始まります。キーボードはこのコマンドに対してACKで応答し、走査を停止して、システムからのオプション・バイトを待ちます。このオプション・バイトのビット割り当ては次のとおりです。

Bit	Function
7-4	Reserved(must be 0's)
3	Kana Indicator(AX Keyboard)
2	Caps Lock Indicator
1	Num Lock Indicator
0	Scroll Lock Indicator

図　4-6. セット/リセット・ステータス・インジケーター

インジケーター用のビットが1にセットされていれば、そのインジケーターが点灯します。ビットが0にセットされていれば、インジケーターが消えます。

キーボードはこのオプション・バイトに対してACKで応答し、インジケーターをセットし、キーボードがすでにイネーブルされていれば走査を継続します。インジケーターは、オプション・バイトのビットの状態を反映し、任意の組み合わせでアクティブにしたりインアクティブにしたりできます。オプション・バイトの代わりに別のコマンドを受信した場合、インジケーターの状態は変化せず、セット/リセット・ステータス・インジケーター・コマンドが停止し、新しいコマンドが処理されます。

電源投入の直後、インジケーターは消灯状態にセットされます。

4.4.12 セット・タイパマティック・レート/ディレイ (F3h)

システムは、セット・タイパマティック・レート/ディレイ　コマンドを発行して、タイパマティック・レートとディレイを変更します。キーボードはこのコマンドに対してACKで応答し、走査を停止して、システムがレート/ディレイの値を示すバイトを送信するのを待ちます。キーボードはレート/ディレイの値のバイトに対して再度ACKで応答し、レートとディレイを示された値にセットし、走査を継続します(すでにイネーブルされている場合)。ビット6と5はディレイ、ビット4, 3, 2, 1, 0(最下位ビット)はレートをそれぞれ示します。ビット7(最上位ビット)は常に0です。ディレイは、1にビット6と5の2進値を加えたものに250ms±20%を掛けた値となります。

期間(タイパマティック出力の間隔)は、次の式で求められます。
期間=$(8+A)\times(2^{B})\times0.00417s\pm20\%$
ディレイ=$(1+C)\times250\ ms\pm20\%$

ここで、

A=ビット2, 1, 0の2進値
B=ビット4, 3の2進値
C=ビット6, 5の2進値

メーク・コードの個数は、1期間につき1個です。

Bit	Typematic Rate±20%	Bit	Typematic Rate±20%
00000	30.0	10000	7.5
00001	26.7	10001	6.7
00010	24.0	10010	6.0
00011	21.8	10011	5.5
00100	20.0	10100	5.0
00101	18.5	10101	4.6
00110	17.1	10110	4.3
00111	16.0	10111	4.0
01000	15.0	11000	3.7
01001	13.3	11001	3.3
01010	12.0	11010	3.0
01011	10.9	11011	2.7
01100	10.0	11100	2.5
01101	9.2	11101	2.3
01110	8.6	11110	2.1
01111	8.0	11111	2.0

図　4-7. タイパマティック・レート

システム・キーボード用のデフォルト値は次のとおりです。

タイパマティック・レート=10.9文字/sec±20%
ディレイ=500ms±20%

レート/ディレイの値を示すバイトの代わりに別のコマンドを受信すると、既存のレートは変更されず、このコマンドの実行は停止します。

4.5 システムへのコマンド

次に、キーボードからシステムに送信できるコマンドとその16進値を示します。

Command	Hex Value
Key Detection Error/Overrun	00(Code Sets 2 and 3)
Keyboard ID	83 AB
BAT Completion Code	AA
BAT Failure Code	FC
Echo	EE
Acknowledge(ACK)	FA
Resend	FE
Key Detection Error/Overrun	FF(Code Set 1)

図　4-8. システムへのキーボード・コマンド

次に、キーボードからシステムへのコマンドを示します。システムが発行した場合は意味が異なります。

4.5.1 Ack応答 (FAh)

キーボードは、エコーと再送信コマンド以外の有効な入力に対してAck(肯定応答)を発行します。ACKの送信中にキーボードに割り込みが行われると、ACKを廃棄して新しいコマンドを受け付け、それに応答します。

4.5.2 BAT完了コード (AAh)

BATが正常に終了すると、キーボードはAAhを送信します。これ以外のコードは、キーボードに障害があることを示します。

4.5.3 BAT障害コード (FCh)

BAT障害が生じると、キーボードはこのコードを送信して、走査を停止し、システムの応答またはリセットを待ちます。

4.5.4 ブレーク・コード・プリフィクス (F0h)

走査コード・セット2, または3を使用しているとき、ブレーク・コードの第1バイトがこのコードです。キーボードは、ブレーク・コード・プリフィクスを送信した後、基本的には第2バイトを2ms以内に送信します。

4.5.5 エコー (EEh)

キーボードは、エコー・コマンドに対してこのコードを送信します。

4.5.6 キーボードID (83ABh)

キーボードIDは2バイトで構成されます。

Keyboard Model	Keyboard ID(Hex)
IBM 5576-A01	83 AB*
IBM101 US English	83 AB*
OADG 109	83 AB*
OADG 104	83 AB*

図 4-9. キーボードID

*キーボード・コントローラーがコードを変換した場合、返されるIDは41ABhとなります。

キーボードはID読み出しコマンドに対してACKで応答し、走査を停止して、2バイトのIDを送信します。下位バイトがまず送信され、続いて上位バイトが送信されます。キーボードIDの出力後、キーボードは走査を開始します。

補足: テン・キーの部分のないスペース・セービング・キーボードのIDは84ABhです。
キーボード・コントローラーがコードを変換した場合、返されるIDは54ABhとなります。

4.5.7 オーバーラン (00h or FFh)

バッファー容量を超えた場合、オーバーラン文字がキーボード・バッファーの最後のコードの位置に入れられます。このコードは、バッファー待ち行列の先頭に到達するとシステムに送信されます。キーボード・コントローラーがコードの変換をした場合、オーバーランコードはFFhとなります。

4.5.8 再送信 (FEh)

キーボードは、無効な入力または不正なパリティーをもつ入力を受信したときに再送信コマンドを発行します。システムからキーボードに何も送信していない場合、応答する必要はありません。

4.6 クロックとデータ信号

キーボードとシステムは、クロックとデータの信号線を介して通信を行います。これらの信号線のソースはオープン・コレクター出力なので、キーボードとシステムのどちらからでも信号線を強制的にインアクティブ(低レベル)にできます。通信が行われていない場合、クロック信号線はアクティブ(高レベル)です。データ信号線の状態は、キーボードによってアクティブ(高レベル)に保たれます。

システムがキーボードにデータを送信するとき、データ信号線を強制的にインアクティブ・レベルにして、クロック信号線をアクティブ・レベルにします。

インアクティブな信号は、0V以上で+0.7 V以下の値をもちます。インアクティブ・レベルの信号は論理0です。アクティブな信号は、+2.4 V以上で+5.5 V以下の値をもちます。アクティブ・レベルの信号は論理1です。電圧は、信号源と信号グラウンドとの間で測定されます。

キーボードがシステムとデータの送受信を行うとき、データのタイミングをとるためにクロック信号を生成します。システムは、クロック信号線を強制的にインアクティブ・レベルにすることによって、キーボードがデータ送信をしないようにできます。この場合、データ信号線はアクティブでもインアクティブでもかまいません。

BATの実行中、キーボード側はクロックとデータの信号線がアクティブ・レベルでも、インアクティブ・レベルでもかまいません。

4.6.1 データ・ストリーム

キーボードのデータ送信は、11ビットのデータ・ストリームから構成され、これがデータ信号線上でシリアルに送信されます。以下に、ビットの機能を示します。

Bit	Function
11	Stop bit(always 1)
10	Parity bit(odd parity)
9	Data bit 7(most-significant)
8	Data bit 6
7	Data bit 5
6	Data bit 4
5	Data bit 3
4	Data bit 2
3	Data bit 1
2	Data bit 0(least-significant)
1	Start bit(always 0)

図　4-10. キーボード・データ・ストリームのビット定義

パリティー・ビットは1か0です。8個のデータ・ビットとパリティー・ビットには、常に、1が奇数個あります。

4.6.2 データ出力

キーボードでデータ送信の準備が整うと、まず、クロックとデータの信号線上でキーボード禁止またはシステムの送信要求ステータスがないかどうか検査します。クロック信号線がインアクティブの場合、キー入力データがキーボード・バッファーに記憶されます。クロック信号線がアクティブでありデータ信号線がインアクティブ(送信要求)の場合、キー入力データはキーボード・バッファーに記憶され、キーボードはシステム・データを受信します。

クロックとデータの信号線が両方ともアクティブの場合、キーボードはスタート・ビット、8個のデータ・ビット、パリティー・ビット、およびストップ・ビットを送信します。データは、クロック・パルスの開始エッジの後から終了エッジの前まで有効です。送信中、キーボードはクロック信号線がアクティブ・レベルであるかどうかを少なくとも60μ秒ごとに検査します。キーボードがデータを送信し始めた後システムがクロック信号線をアクティブ・レベルからインアクティブ・レベルにすると、回線競合と呼ばれる状態が発生し、キーボードはデータの送信を停止します。10番目のクロック信号(パリティー・ビット)の開始エッジより前に回線競合が起きると、キーボード・バッファーはクロックとデータの信号線をアクティブ・レベルに戻します。10番目のクロック信号までに競合が起きなければ、キーボードは送信を完了します。回線競合の後、システムはキーボードに対してデータの再送信を要求してもしなくてもかまいません。

送信後、システムは入力を処理するまで、または応答の送信を要求するまでキーボードを禁止することができます。

4.6.3 データ入力

システムは、キーボードへのデータ送信の準備が整うと、まずキーボードがデータを送信しているかどうかを検査します。キーボードが送信していても10番目のクロック信号に到達していない場合、システムは、キーボード・クロック信号線を強制的にインアクティブにすることによってキーボード出力を取り消すことができます。キーボードからの送信が10番目のクロック信号を超えている場合、システムはその送信を受信しなければなりません。

キーボードが送信していない場合、またはシステムがキーボードからの出力を取り消そうと決定した場合、システムはデータ送信の準備を行いながらキーボードのクロック信号線を60μs以上のあいだ強制的にインアクティブ・レベルにします。システムのスタート・ビットの送信準備が整った(データ信号線がインアクティブとなった)時点で、システムはクロック信号線をアクティブにします。

キーボードは、クロック信号線の状態を10ms以下の間隔で検査します。システムの送信要求(RTS)を検知すると、キーボードは11ビットをカウントします。10番目のビットの次に、キーボードはデータ信号線がアクティブ・レベルかどうかを検査し、アクティブであればそれを強制的にインアクティブにして、もう1ビットをカウントします。この動作により、キーボードがデータを受信したことをシステムに通知します。この信号を受信すると、システムはレディー状態(キーボード出力を受け付けできる)に戻るか、または準備が整うまで禁止状態になります。

10番目のビットを検知した後、キーボードのデータ信号線がインアクティブ・レベルであれば、フレーミング・エラーが生じたことになり、キーボードはデータ信号線がアクティブになるまでカウントを続けます。アクティブになると、データ信号線をインアクティブにして再送信コマンドを送信します。

キーボードに対する各システム・コマンドやデータ送信では、キーボードからの応答があって初めてシステムが次の出力を送信することができます。キーボードは、システムがキーボード出力を止めていない限り、20ms以内に応答します。キーボードの応答が無効またはパリティー・エラーを持つ場合、システムはコマンドやデータを再び送信します。しかし、2バイト・コマンドの場合は特殊な処理が必要です。F3h(セット・タイパマティック・レート/ディレイ)、F0h(代替走査コード選択)、またはEDh(セット/リセット・ステータス・インジケーター)を送信してAck応答された場合、あるいは値バイト(オプション・バイト)を送信したら応答が無効またはパリティー・エラーを持つ場合、システムはコマンドと値バイト(オプション・バイト)の両方を再び送信します。

4.7 シフト状態

ここでは、各キーボードが持つシフト状態について記述しています。各シフト状態におけるキーからのコードについては「DOS/Vプログラミング概説編」を参照してください。

Shift
Shiftキーはキーを一時的に上段シフトさせることができます。また、テンキー部分では一時的にNum Lockとnon-Num Lock状態が反転します。

Ctrl
Ctrlキーはキーを一時的にCtrl状態(制御)にシフトさせることができます。また、CtrlキーはAltキーとDelキーとともにシステム・リセット機能を始動します。Scroll Lockキーとともに、ブレーク機能を始動します。Num Lockキーとともに、ポーズ機能を始動します。システム・リセット、ブレーク、ポーズ機能については、4.8, 『特別な取り扱い』に説明されています。

Alt
Altキーはキーを一時的にAlt状態(前面)にシフトさせることができます。また、AltキーはCtrlキーとDelキーとともにシステム・リセット機能を始動します。Altキーは、1から255の文字コードを入力するためにも使われます。Altキーを押し続け、入力したいキーの10進数値を数値キーパッド(キー91〜93, 96〜99, 101〜103)でタイプします。その後、Altキーを放します。その数値が255よりも大きいと、256で割った余りの数値が使われます。この値は文字コードとして解釈され、キーボード・ルーチンを介してシステムやアプリケーション・プログラムに送られます。Altはキーボード・ルーチン内で処理されます。

Caps Lock
A〜Zの刻印されたキーは、このキーによって上段シフトになります。もう1度Caps Lockが押されると、動作が反転します。Caps Lockはキーボード・ルーチン内で処理されます。Caps Lockが押されると、Caps Lockモード・インジケーターを変更します。インジケーターが点灯していた場合は消し、消えていた場合は点灯させます。

Scroll Lock
このキーがアプリケーション・プログラムによって解釈される場合、カーソル移動キーは、カーソルを移動する代わりに、画面を移動させます。もう1度Scroll Lockが押されると、動作が反転します。キーボード・ルーチンは単に、Scroll Lockキーの現行のシフト状態を記録するだけです。機能を実行するのは、アプリケーション・プログラムの責任です。Scroll Lockが押されると、Scroll Lockモード・インジケーターを変更します。インジケーターが点灯していた場合は消し、消えていた場合は点灯させます。

Num Lock
Num Lockキーはテンキー部分を上段シフトします。もう1度Num Lockが押されると、動作が反転します。Num Lockはキーボード・ルーチン内で処理されます。Num Lockが押されると、Num Lockモード・インジケーターを変更します。インジケーターが点灯していた場合は消し、消えていた場合は点灯させます。

シフト・キーの優先順位と組み合わせ

AltキーとCtrlキーとShiftキーが組み合わされて押されたとき、その内の1つだけが有効な場合、優先順位はまずAltキーが第1で、次にCtrlキー、そしてShiftキーが第3番目です。唯一の有効な組み合わせは、AltキーとCtrlキーです。これは、システム・リセット機能で使われます。

4.8 特別な取り扱い

4.8.1 システム・リセット

AltキーとCtrlキーとDeleteキーの組み合わせは、システム・リセットまたは再始動のためのキーボード・ルーチンを呼び出します。システム・リセットはシステムBIOSで処理されます。

4.8.2 ブレーク(Break)

CtrlキーとPause/Breakキーの組み合わせは、キーボード・バッファーをクリアーします。そして、キーボード・ルーチンは割り込み1Bhを発行し、最後に、拡張文字AL=00とAH=00をバッファーに記憶します。

4.8.3 ポーズ(Pause)

Pauseキーによって、キーボード割り込みルーチンはループしながら、文字キーまたは機能キーが押されるのを待ちます。これは、操作の一時的保留の手段を提供します。たとえば、リストを取ったり印刷を行ったりした後、操作を再開する場合などです。この方法は、システムまたはアプリケーション・プログラムからは見えません。操作を再開するために使ったキー・ストロークは廃棄されます。Pauseはキーボード・ルーチン内で処理されます。

4.8.4 画面印刷(Print Screen)

Print Screenキーは、画面印刷ルーチンを呼び出します。このルーチンは英数字モードでもグラフィック・モードでも働きますが、認識できない文字は空白(ブランク)になります。

4.8.5 システム要求

システム要求キー(AltキーとPrint Screenキー)が押されると8500hがAXに置かれ、割り込み15hが実行されます。システム要求キーが放されると、8501hがAXに置かれ、割り込み15hがもう1回実行されます。アプリケーション・プログラムがシステム要求を使用するときは、下記の規則を参照してください。

割り込み15hの開始アドレスを保管する。

割り込みベクトル15hをオーバーレーする。

AHの値が85hであることを検査する。

そうならば、処理を始める。
違えば、保存した割り込み15hの開始アドレスへ行く。

アプリケーション・プログラムは、AX以外のレジスターの値をすべて保存すべきです(変更してはいけません)。システム要求はキーボード・ルーチン内で処理されます。

4.8.6 その他の特性

キーボード・ルーチンはそれ自身でバッファリングしています。キーボードのバッファーは十分に大きいので、速いタイピストによる入力もサポートできます。しかし、バッファーがいっぱいになっているときにキーを押すと、そのキーは無視され、警告音が鳴ります

キーボード・ルーチンは次のキーのタイパマティックを無効にします。
Ctrl, Shift, Alt, Num Lock, Scroll Lock, Caps Lock, Ins。

キーボードからの各割り込み09hにおいて、走査コードがキーボードから読み出された後、機能(AH)=4Fhの割り込み15hがBIOSによって生成されます。キャリー・フラグがセットされ、走査コードがALレジスターに渡されます。これによってオペレーティング・システムは、割り込みルーチン09hが走査コードを処理する前に各走査コードを捕え、その走査コードを変更したり操作したりする機会を持つことができます。割り込み15hから戻るときにキャリー・フラグが0に変更されていると、その走査コードは割り込みハンドラーによって無視されます。

文字とキー・ストローク

第5章　文字とキー・ストローク

5.1 文字コード

英語モード(KEYB.COMなどによりキーボード配列を変更しない状態)の各文字の10進値、16進値、およびキー・ストロークの一覧表を以下に示します。一覧表のあとに注意事項がまとめてあります。

Value		As Characters		
Hex	Dec	Symbol	Keystrokes	Notes
00	0	Blank (Null)	Ctrl 2	
01	1	☺	Ctrl A	
02	2	☻	Ctrl B	
03	3	♥	Ctrl C	
04	4	♦	Ctrl D	
05	5	♣	Ctrl E	
06	6	♠	Ctrl F	
07	7	•	Ctrl G	
08	8	◘	Ctrl H, Backspace, Shift Backspace	
09	9	○	Ctrl I Tab	
0A	10	◙	Ctrl J, Ctrl ↵	
0B	11	♂	Ctrl K	
0C	12	♀	Ctrl L	
0D	13	♪	Ctrl M, ↵, Shift ↵	
0E	14	♫	Ctrl N	
0F	15	☼	Ctrl O	
10	16	►	Ctrl P	
11	17	◄	Ctrl Q	
12	18	↕	Ctrl R	
13	19	‼	Ctrl S	
14	20	¶	Ctrl T	
15	21	§	Ctrl U	
16	22	▬	Ctrl V	
17	23	↨	Ctrl W	

Value		As Characters		
Hex	Dec	Symbol	Keystrokes	Notes
18	24	↑	Ctrl X	
19	25	↓	Ctrl Y	
1A	26	→	Ctrl Z	
1B	27	←	Ctrl [Esc, Shift Esc, Ctrl Esc	
1C	28	∟	Ctrl	
1D	29	↔	Ctrl]	
1E	30	▲	Ctrl 6	
1F	31	▼	Ctrl -	
20	32	Blank Space	Space Bar, Shift, Space, Ctrl Space, Alt Space	
21	33	!	!	Shift
22	34	"	"	Shift
23	35	#	#	Shift
24	36	$	$	Shift
25	37	%	%	Shift
26	38	&	&	Shift
27	39	'	'	Shift
28	40	(	(	Shift
29	41	)	)	
2A	42	*	*	Note 1
2B	43	+	+	Shift
2C	44	,	,	
2D	45	-	-	
2E	46	.	.	Note 2

Value		As Characters		
Hex	Dec	Symbol	Keystrokes	Notes
2F	47	/	/	
30	48	0	0	Note 3
31	49	1	1	Note 3
32	50	2	2	Note 3
33	51	3	3	Note 3
34	52	4	4	Note 3
35	53	5	5	Note 3
36	54	6	6	Note 3
37	55	7	7	Note 3
38	56	8	8	Note 3
39	57	9	9	Note 3
3A	58	:	:	Shift
3B	59	;	;	
3C	60	<	<	Shift
3D	61	=	=	
3E	62	>	>	Shift
3F	63	?	?	Shift
40	64	@	@	Shift
41	65	A	A	Note 4
42	66	B	B	Note 4
43	67	C	C	Note 4
44	68	D	D	Note 4
45	69	E	E	Note 4
46	70	F	F	Note 4
47	71	G	G	Note 4
48	72	H	H	Note 4
49	73	I	I	Note 4
4A	74	J	J	Note 4

Value		As Characters		
Hex	Dec	Symbol	Keystrokes	Notes
4B	75	K	K	Note 4
4C	76	L	L	Note 4
4D	77	M	M	Note 4
4E	78	N	N	Note 4
4F	79	O	O	Note 4
50	80	P	P	Note 4
51	81	Q	Q	Note 4
52	82	R	R	Note 4
53	83	S	S	Note 4
54	84	T	T	Note 4
55	85	U	U	Note 4
56	86	V	V	Note 4
57	87	W	W	Note 4
58	88	X	X	Note 4
59	89	Y	Y	Note 4
5A	90	Z	Z	Note 4
5B	91	[	[	
5C	92	\	\	Note 4
5D	93	]	]	
5E	94	^	^	Shift
5F	95	_	_	Shift
60	96	`	`	
61	97	a	a	Note 5
62	98	b	b	Note 5
63	99	c	c	Note 5
64	100	d	d	Note 5
65	101	e	e	Note 5
66	102	f	f	Note 5

Value		As Characters		
Hex	Dec	Symbol	Keystrokes	Notes
67	103	g	g	Note 5
68	104	h	h	Note 5
69	105	i	i	Note 5
6A	106	j	j	Note 5
6B	107	k	k	Note 5
6C	108	l	l	Note 5
6D	109	m	m	Note 5
6E	110	n	n	Note 5
6F	111	o	o	Note 5
70	112	p	p	Note 5
71	113	q	q	Note 5
72	114	r	r	Note 5
73	115	s	s	Note 5
74	116	t	t	Note 5
75	117	u	u	Note 5
76	118	v	v	Note 5
77	119	w	w	Note 5
78	120	x	x	Note 5
79	121	y	y	Note 5
7A	122	z	z	Note 5
7B	123	{	{	Shift
7C	124	¦	¦	Shift
7D	125	}	}	Shift
7E	126	~	~	Shift
7F	127	△	Ctrl-	

Value		As Characters		
Hex	Dec	Symbol	Keystrokes	Notes
80	128	Ç	Alt 128	Note 6
81	129	ü	Alt 129	Note 6
82	130	é	Alt 130	Note 6
83	131	â	Alt 131	Note 6
84	132	ä	Alt 132	Note 6
85	133	à	Alt 133	Note 6
86	134	å	Alt 134	Note 6
87	135	ç	Alt 135	Note 6
88	136	ê	Alt 136	Note 6
89	137	ë	Alt 137	Note 6
8A	138	è	Alt 138	Note 6
8B	139	ï	Alt 139	Note 6
8C	140	î	Alt 140	Note 6
8D	141	ì	Alt 141	Note 6
8E	142	Ä	Alt 142	Note 6
8F	143	Å	Alt 143	Note 6
90	144	É	Alt 144	Note 6
91	145	æ	Alt 145	Note 6
92	146	Æ	Alt 146	Note 6
93	147	ô	Alt 147	Note 6
94	148	ö	Alt 148	Note 6
95	149	ò	Alt 149	Note 6
96	150	û	Alt 150	Note 6
97	151	ù	Alt 151	Note 6
98	152	ÿ	Alt 152	Note 6
99	153	Ö	Alt 153	Note 6
9A	154	Ü	Alt 154	Note 6

Value		As Characters		
Hex	Dec	Symbol	Keystrokes	Notes
9B	155	¢	Alt 155	Note 6
9C	156	£	Alt 156	Note 6
9D	157	¥	Alt 157	Note 6
9E	158	Pt	Alt 158	Note 6
9F	159	ƒ	Alt 159	Note 6
A0	160	á	Alt 160	Note 6
A1	161	í	Alt 161	Note 6
A2	162	ó	Alt 162	Note 6
A3	163	ú	Alt 163	Note 6
A4	164	ñ	Alt 164	Note 6
A5	165	Ñ	Alt 165	Note 6
A6	166	a̲	Alt 166	Note 6
A7	167	o̲	Alt 167	Note 6
A8	168	¿	Alt 168	Note 6
A9	169	⌐	Alt 169	Note 6
AA	170	¬	Alt 170	Note 6
AB	171	½	Alt 171	Note 6
AC	172	¼	Alt 172	Note 6
AD	173	¡	Alt 173	Note 6
AE	174	< <	Alt 174	Note 6
AF	175	> >	Alt 175	Note 6
B0	176	░	Alt 176	Note 6
B1	177	▒	Alt 177	Note 6
B2	178	▓	Alt 178	Note 6
B3	179	│	Alt 179	Note 6
B4	180	┤	Alt 180	Note 6
B5	181	╡	Alt 181	Note 6
B6	182	╢	Alt 182	Note 6

Value		As Characters		
Hex	Dec	Symbol	Keystrokes	Notes
B7	183	╖	Alt 183	Note 6
B8	184	╕	Alt 184	Note 6
B9	185	╣	Alt 185	Note 6
BA	186	║	Alt 186	Note 6
BB	187	╗	Alt 187	Note 6
BC	188	╝	Alt 188	Note 6
BD	189	╜	Alt 189	Note 6
BE	190	╛	Alt 190	Note 6
BF	191	┐	Alt 191	Note 6
C0	192	└	Alt 192	Note 6
C1	193	┴	Alt 193	Note 6
C2	194	┬	Alt 194	Note 6
C3	195	├	Alt 195	Note 6
C4	196	─	Alt 196	Note 6
C5	197	┼	Alt 197	Note 6
C6	198	╞	Alt 198	Note 6
C7	199	╟	Alt 199	Note 6
C8	200	╚	Alt 200	Note 6
C9	201	╔	Alt 201	Note 6
CA	202	╩	Alt 202	Note 6
CB	203	╦	Alt 203	Note 6
CC	204	╠	Alt 204	Note 6
CD	205	═	Alt 205	Note 6
CE	206	╬	Alt 206	Note 6
CF	207	╧	Alt 207	Note 6
D0	208	╨	Alt 208	Note 6

Value		As Characters		
Hex	Dec	Symbol	Keystrokes	Notes
D1	209	╤	Alt 209	Note 6
D2	210	╥	Alt 210	Note 6
D3	211	╙	Alt 211	Note 6
D4	212	╘	Alt 212	Note 6
D5	213	╒	Alt 213	Note 6
D6	214	╓	Alt 214	Note 6
D7	215	╫	Alt 215	Note 6
D8	216	╪	Alt 216	Note 6
D9	217	┘	Alt 217	Note 6
DA	218	┌	Alt 218	Note 6
DB	219	█	Alt 219	Note 6
DC	220	▄	Alt 220	Note 6
DD	221	▌	Alt 221	Note 6
DE	222	▐	Alt 222	Note 6
DF	223	▀	Alt 223	Note 6
E0	224	α	Alt 224	Note 6
E1	225	β	Alt 225	Note 6
E2	226	Γ	Alt 226	Note 6
E3	227	π	Alt 227	Note 6
E4	228	Σ	Alt 228	Note 6
E5	229	σ	Alt 229	Note 6
E6	230	μ	Alt 230	Note 6
E7	231	τ	Alt 231	Note 6
E8	232	Φ	Alt 232	Note 6
E9	233	θ	Alt 233	Note 6
EA	234	Ω	Alt 234	Note 6
EB	235	δ	Alt 235	Note 6

Value		As Characters		
Hex	Dec	Symbol	Keystrokes	Notes
EC	236	∞	Alt 236	Note 6
ED	237	φ	Alt 237	Note 6
EE	238	ε	Alt 238	Note 6
EF	239	∩	Alt 239	Note 6
F0	240	≡	Alt 240	Note 6
F1	241	±	Alt 241	Note 6
F2	242	≥	Alt 242	Note 6
F3	243	≤	Alt 243	Note 6
F4	244	⌠	Alt 244	Note 6
F5	245	⌡	Alt 245	Note 6
F6	246	÷	Alt 246	Note 6
F7	247	≈	Alt 247	Note 6
F8	248	°	Alt 248	Note 6
F9	249	●	Alt 249	Note 6
FA	250	•	Alt 250	Note 6
FB	251	√	Alt 251	Note 6
FC	252	^{n}	Alt 252	Note 6
FD	253	^{2}	Alt 253	Note 6
FE	254	■	Alt 254	Note 6
FF	255	BLANK	Alt 255	Note 6

注:

1. アステリスク「*」をタイプするには、シフト状態で「8」キーを押します。

2. ピリオド「.」をタイプするには、「.」キーを押すか、またはNum Lock状態で「Del」キーを押します。

3. 数字の0～9をタイプするには、キーボードの最上段にある数字キーを押すか、またはNum Lock状態でキーボードのキーパッド部にある数字キーを押します。

4. 英字の大文字(A～Z)をタイプするには、シフト状態またはCaps Lock状態で文字キーを押します。

5. 英字の小文字(a～z)をタイプするには、通常の状態で文字キーを押すか、またはCaps Lock状態でシフト・キーを押しながら文字キーを押します。

6. 3桁の数字は、Num Lock状態でAlt (前面) キーを押しながら数字キーパッドでタイプします。文字コード001～255はこの方法で入力できます。（Caps Lock状態では、文字コード97～122を入力すると大文字を表示します。）

5.2 クイック・リファレンス

DECIMAL VALUE	➡	0	16	32	48	64	80	96	112
⬇	HEXA-DECIMAL VALUE	0	1	2	3	4	5	6	7
0	0	BLANK (NULL)	►	BLANK (SPACE)	0	@	P	‘	p
1	1	☺	◄	!	1	A	Q	a	q
2	2	☻	↕	"	2	B	R	b	r
3	3	♥	‼	#	3	C	S	c	s
4	4	♦	¶	$	4	D	T	d	t
5	5	♣	§	%	5	E	U	e	u
6	6	♠	▬	&	6	F	V	f	v
7	7	•	↨	′	7	G	W	g	w
8	8	◘	↑	(	8	H	X	h	x
9	9	○	↓	)	9	I	Y	i	y
10	A	◙	→	*	:	J	Z	j	z
11	B	♂	←	+	;	K	[	k	{
12	C	♀	∟	,	<	L	\	l	¦
13	D	♪	↔	—	=	M	]	m	}
14	E	♫	▲	.	>	N	∧	n	~
15	F	☼	▼	/	?	O	_	o	△

DECIMAL VALUE	➡	128	144	160	176	192	208	224	240
⬇	HEXA-DECIMAL VALUE	8	9	A	B	C	D	E	F
0	0	Ç	É	á	░	└	╨	∞	≡
1	1	ü	æ	í	▒	┴	╤	β	±
2	2	é	Æ	ó	▓	┬	╥	Γ	≥
3	3	â	Ô	ú	│	├	╙	π	≤
4	4	ä	ö	ñ	┤	─	╘	Σ	⌠
5	5	à	ò	Ñ	╡	┼	╒	σ	⌡
6	6	å	û	ª	╢	╞	╓	μ	÷
7	7	ç	ù	º	╖	╟	╫	ϒ	≈
8	8	ê	ÿ	¿	╕	╚	╪	Φ	°
9	9	ë	Ö	⌐	╣	╔	┘	Θ	•
10	A	è	Ü	¬	║	╩	┌	Ω	•
11	B	ï	¢	½	╗	╦	█	δ	√
12	C	î	£	¼	╝	╠	▄	∞	^{n}
13	D	ì	¥	¡	╜	═	▌	φ	^{2}
14	E	Ä	₧	«	╛	╬	▐	∈	▮
15	F	Å	ƒ	»	┐	╧	▀	∩	BLANK 'FF'

付録A. キーボード配列と走査コード

A.1 IBM 5576-A01, IBM 101, OADG 109, OADG 109A, OADG 104

IBM 5576-A01およびIBM 101, OADG 109, OADG 109A, OADG 104は、下記のような走査コード・セットをサポートします。

Keyboard Model	Scan Code Set 1	2	3
IBM 5576-A01	Yes	Yes	Yes
IBM 101	Yes	Yes	Yes
OADG 109	Yes	Yes	Yes
OADG 104	Yes	Yes	Yes
OADG 109A	Yes	Yes	Yes

Yes：Supported

図　A-1. サポートする走査コード・セット

走査コード・セットは、システムからのコマンドで選択できます。選択方法については、4-8ページの4.4.7、『代替走査コード選択（F0h)』の説明を参照してください。

OADG 109キーボード, OADG 109Aキーボード、OADG 104キーボード上の追加キー３個は、マイクロソフト社では次の様に定義しています。詳細についてはマイクロソフト社発行の仕様書をご参照下さい。

OADG 仕様	マイクロソフト社仕様
追加キー 1	Left Windows
追加キー 2	Right Windows
追加キー 3	Application

A.1.1 IBM 5576-A01型キーボードの配列

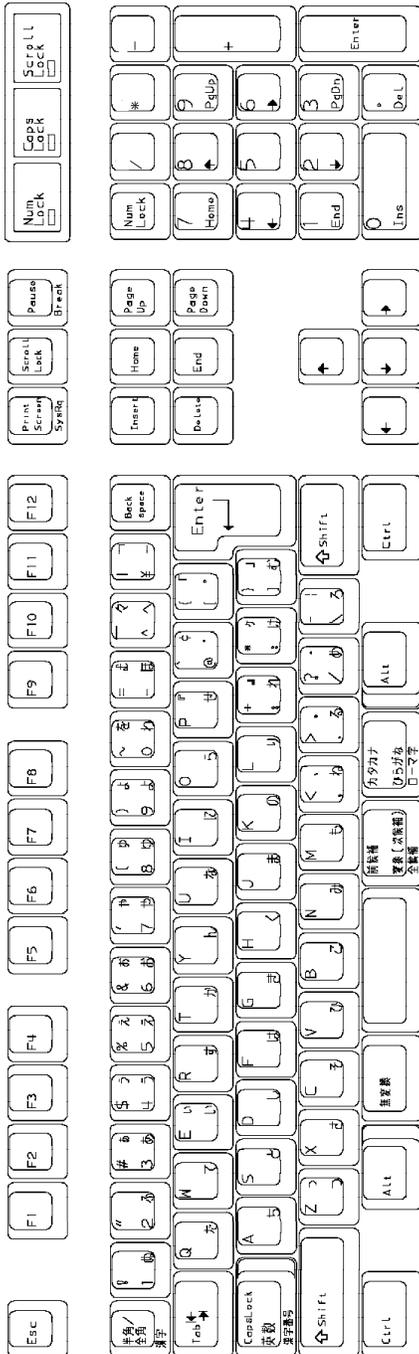



図　A-2. IBM 5576-A01型の刻印

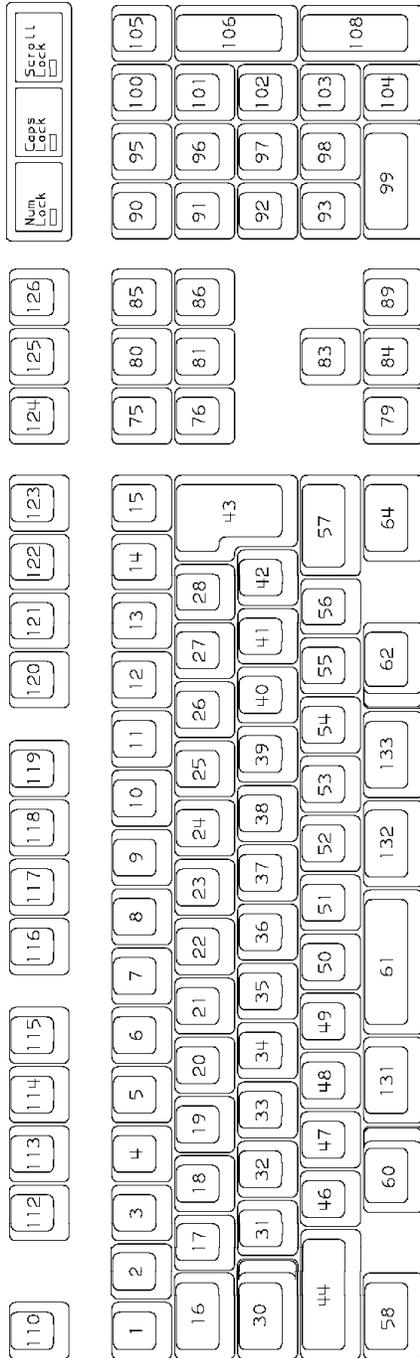



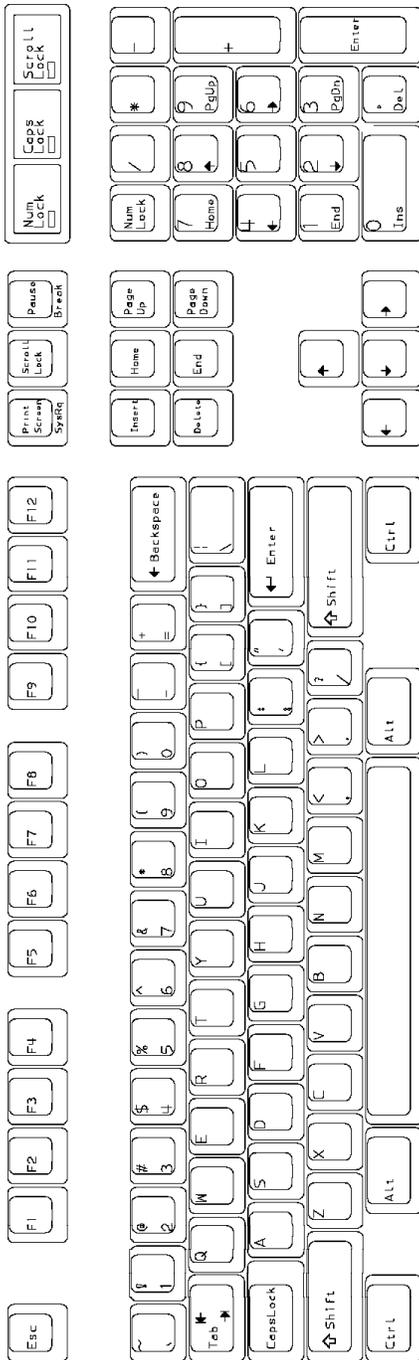
図　A-3. IBM 5576-A01型のキー番号

キーボード、キーボード配列と走査コード

図　A-4. IBM 101型の刻印

図　A-5. IBM 101型のキー番号

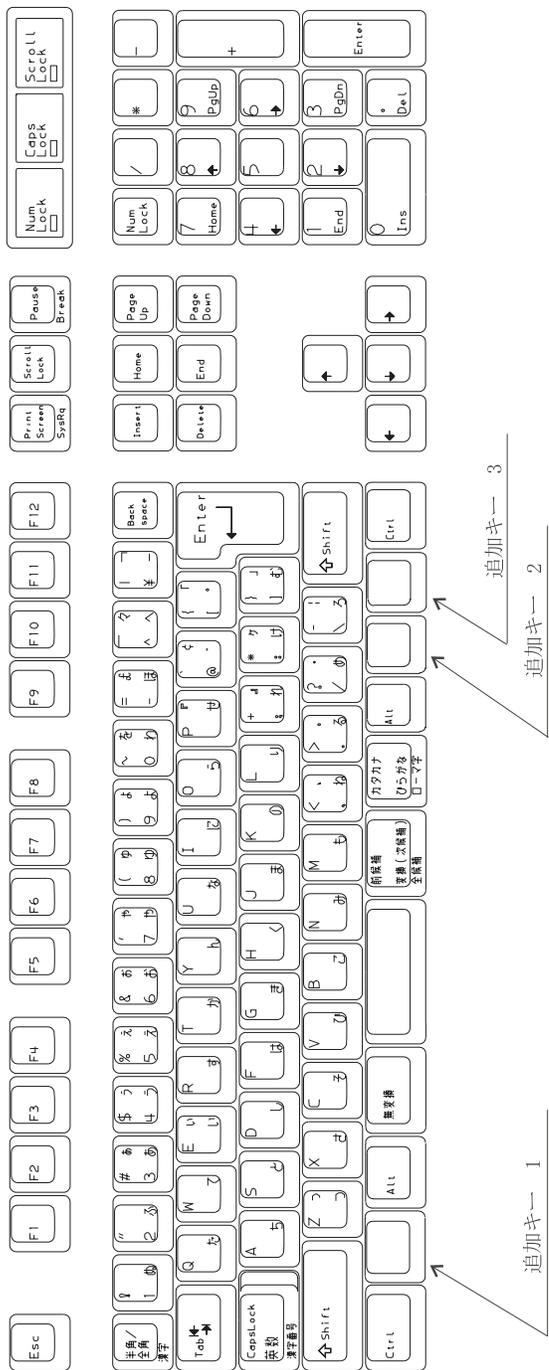



図　A-6. OADG 109型キーボードの刻印

注：追加キー１，追加キー２，追加キー３のキー番号は割当てない。

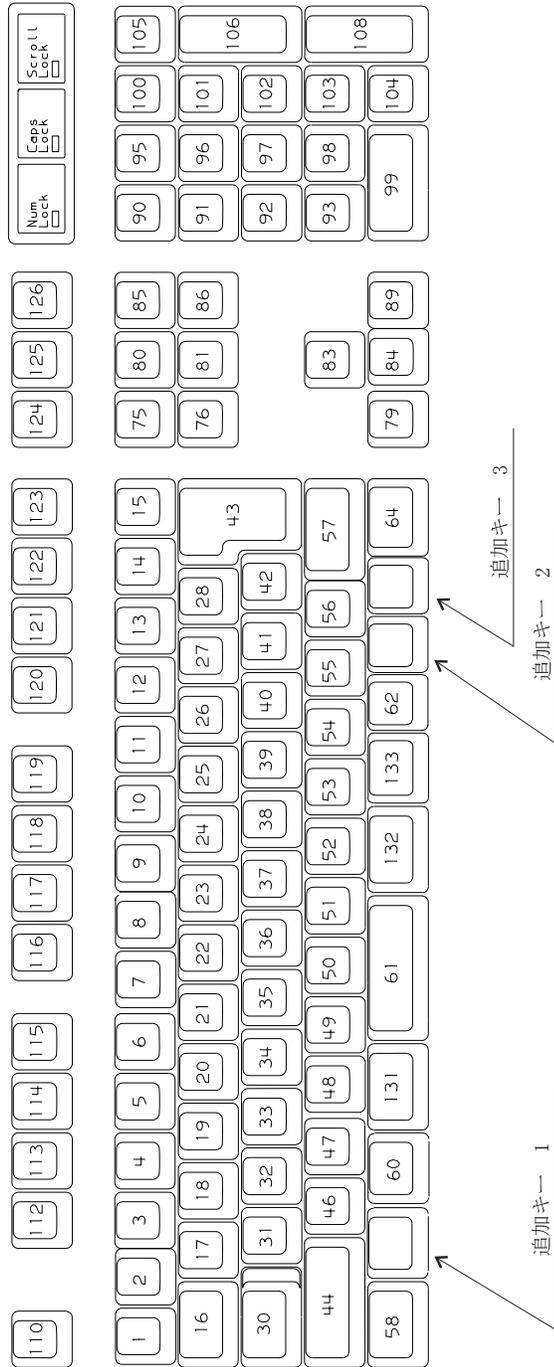



図　A-7. OADG 109型キーボードのキー番号

キーボード、キーボード配列と走査コード

注：ピッチ及び刻印は定義しない。

図　A-8. OADG 109A型キーボードの刻印

注：追加キー１，追加キー２，追加キー３のキー番号は割当てない。

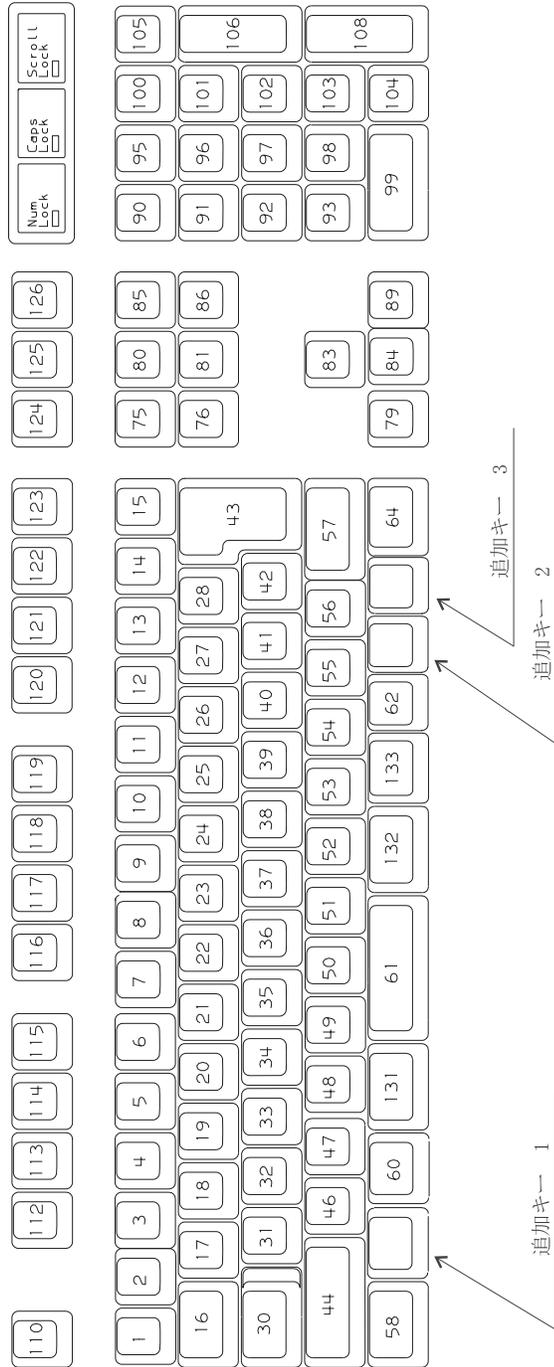



図　A-9. OADG 109A型キーボードのキー番号

注：ピッチ及び刻印は定義しない。

図 A-10. OADG 104型キーボードの刻印

図 A-11. OADG 104型キーボードのキー番号

注：追加キー 1，追加キー 2，追加キー 3のキー番号は割当てない。

A.1.2 走査コード（Scan Code）

3種類の走査コード・セット表を示します。
デフォルトの走査コード・セットは２で、代替走査コード選択（F0h)を用いて変更できます。

A.1.3 走査コード・セット1

各キーに基礎走査コードが割り当てられていますが、シフトの状態によって付加コードがシステムに送られます。
タイパマティック走査コードは、各キーの基礎コードと同じです。

A-14ページの図A-12は、キーボードのシフト状態やシステムの状況に影響されない各キーについての走査コードを示します。各キー番号と、それに対応する文字についてはA-2ページの図A-2およびA-3ページの図A-3を参照してください。

Key Number	Make Code	Break Code	Key Number	Make Code	Break Code
1	29	A9	49	2F	AF
2	02	82	50	30	B0
3	03	83	51	31	B1
4	04	84	52	32	B2
5	05	85	53	33	B3
6	06	86	54	34	B4
7	07	87	55	35	B5
8	08	88	56	73	F3
9	09	89	57	36	B6
10	0A	8A	58	1D	9D
11	0B	8B	60	38	B8
12	0C	8C	61	39	B9
13	0D	8D	62	E0 38	E0 B8
14	7D	FD	64	E0 1D	E0 9D
15	0E	8E	90	45	C5
16	0F	8F	91	47	C7
17	10	90	92	4B	CB
18	11	91	93	4F	CF
19	12	92	96	48	C8
20	13	93	97	4C	CC
21	14	94	98	50	D0
22	15	95	99	52	D2
23	16	96	100	37	B7
24	17	97	101	49	C9
25	18	98	102	4D	CD
26	19	99	103	51	D1
27	1A	9A	104	53	D3
28	1B	9B	105	4A	CA
29(Reserved)	2B	AB	106	4E	CE
30	3A	BA	108	E0 1C	E0 9C
31	1E	9E	110	01	81
32	1F	9F	112	3B	BB
33	20	A0	113	3C	BC
34	21	A1	114	3D	BD
35	22	A2	115	3E	BE
36	23	A3	116	3F	BF
37	24	A4	117	40	C0
38	25	A5	118	41	C1
39	26	A6	119	42	C2
40	27	A7	120	43	C3
41	28	A8	121	44	C4
42	2B	AB	122	57	D7
43	1C	9C	123	58	D8
44	2A	AA	125	46	C6
45(Reserved)	56	D6	131	7B	FB
46	2C	AC	132	79	F9
47	2D	AD	133	70	F0
48	2E	AE			

図　A-12. キーボード走査コード・セット1 (1 / 6)

残りのキーは、シフト・キー(Ctrl, Alt, Shift)とNum Lock (オンまたはオフ）の状況に応じて、異なる一連の走査コードをシステムに送ります。
基礎走査コードは他のキーと同じなので、基礎走査コードに付加コード(E0h)を追加して、個別化しています。

Key No.	Base Case, or Shift+Num Lock Make/Break	Shift Case Make/Break	Num Lock on Make/Break
75	E0 52 /E0 D2	E0 AA E0 52 /E0 D2 E0 2A*	E0 2A E0 52 /E0 D2 E0 AA
76	E0 53 /E0 D3	E0 AA E0 53 /E0 D3 E0 2A*	E0 2A E0 53 /E0 D3 E0 AA
79	E0 4B /E0 CB	E0 AA E0 4B /E0 CB E0 2A*	E0 2A E0 4B /E0 CB E0 AA
80	E0 47 /E0 C7	E0 AA E0 47 /E0 C7 E0 2A*	E0 2A E0 47 /E0 C7 E0 AA
81	E0 4F /E0 CF	E0 AA E0 4F /E0 CF E0 2A*	E0 2A E0 4F /E0 CF E0 AA
83	E0 48 /E0 C8	E0 AA E0 48 /E0 C8 E0 2A*	E0 2A E0 48 /E0 C8 E0 AA
84	E0 50 /E0 D0	E0 AA E0 50 /E0 D0 E0 2A*	E0 2A E0 50 /E0 D0 E0 AA
85	E0 49 /E0 C9	E0 AA E0 49 /E0 C9 E0 2A*	E0 2A E0 49 /E0 C9 E0 AA
86	E0 51 /E0 D1	E0 AA E0 51 /E0 D1 E0 2A*	E0 2A E0 51 /E0 D1 E0 AA
89	E0 4D /E0 CD	E0 AA E0 4D /E0 CD E0 2A*	E0 2A E0 4D /E0 CD E0 AA

* If the left Shift key is held down, the AA/2A shift break and make is sent with the other scan codes. If the right Shift key is held down, B6/36 is sent. If both Shift keys are down, both sets of codes are sent with the other scan code.

図　A-13. キーボード走査コード・セット1 (2 / 6)

Key No.	Scan Code Make/Break	Shift Case Make/Break
95	E0 35/E0 B5	E0 AA E0 35/E0 B5 E0 2A*

* If the left Shift key is held down, the AA/2A shift break and make is sent with the other scan codes. If the right Shift key is held down, B6/36 is sent. If both Shift keys are down, both sets of codes are sent with the other scan code.

図　A-14. キーボード走査コード・セット1 (3 / 6)

Key No.	Scan Code Make/Break	Ctrl Case, Shift Case Make/Break	Alt Case Make/Break
124	E0 2A E0 37 /E0 B7 E0 AA	E0 37/E0 B7	54/D4

図　A-15. キーボード走査コード・セット1 (4 / 6)

Key No.	Make Code	Ctrl Key Pressed
126*	E1 1D 45 E1 9D C5	E0 46 E0 C6

* This key is not typematic. All associated scan codes occur on the make of the key.

図　A-16. キーボード走査コード・セット1 (5 / 6)

	Make Code	Break Code
追加キー 1	E0 5B	E0 DB
追加キー 2	E0 5C	E0 DC
追加キー 3	E0 5D	E0 DD

図　A-17. キーボード走査コード・セット1 (6 / 6)

A.1.4 走査コード・セット2

各キーに個別の8ビットのメーク走査コードが割り当てられ、キーが押されたときにシステムに送られます。
またキーが放されたとき、ブレーク・コード・プリフィッス(Breake code prefix F0h)が付加されてシステムに送られます。
ブレーク・コードは2バイトで構成され、最初のバイトがブレーク・コード・プリフィックス(F0h)で、第2バイトがそのキーのメーク走査コードです。
タイパマティック走査コードは、そのキーのメーク走査コードです。

A-18ページの図A-18は、キーボードのシフト状態やシステムの状況に影響されない、各キーの走査コードを示します。

キーボード、キーボード配列と走査コード

Key Number	Make Code	Break Code	Key Number	Make Code	Break Code
1	0E	F0 0E	49	2A	F0 2A
2	16	F0 16	50	32	F0 32
3	1E	F0 1E	51	31	F0 31
4	26	F0 26	52	3A	F0 3A
5	25	F0 25	53	41	F0 41
6	2E	F0 2E	54	49	F0 49
7	36	F0 36	55	4A	F0 4A
8	3D	F0 3D	56	51	F0 51
9	3E	F0 3E	57	59	F0 59
10	46	F0 46	58	14	F0 14
11	45	F0 45	60	11	F0 11
12	4E	F0 4E	61	29	F0 29
13	55	F0 55	62	E0 11	E0 F0 11
14	6A	F0 6A	64	E0 14	E0 F0 14
15	66	F0 66	90	77	F0 77
16	0D	F0 0D	91	6C	F0 6C
17	15	F0 15	92	6B	F0 6B
18	1D	F0 1D	93	69	F0 69
19	24	F0 24	96	75	F0 75
20	2D	F0 2D	97	73	F0 73
21	2C	F0 2C	98	72	F0 72
22	35	F0 35	99	70	F0 70
23	3C	F0 3C	100	7C	F0 7C
24	43	F0 43	101	7D	F0 7D
25	44	F0 44	102	74	F0 74
26	4D	F0 4D	103	7A	F0 7A
27	54	F0 54	104	71	F0 71
28	5B	F0 5B	105	7B	F0 7B
29(Reserved)	5D	F0 5D	106	79	F0 79
30	58	F0 58	108	E0 5A	E0 F0 5A
31	1C	F0 1C	110	76	F0 76
32	1B	F0 1B	112	05	F0 05
33	23	F0 23	113	06	F0 06
34	2B	F0 2B	114	04	F0 04
35	34	F0 34	115	0C	F0 0C
36	33	F0 33	116	03	F0 03
37	3B	F0 3B	117	0B	F0 0B
38	42	F0 42	118	83	F0 83
39	4B	F0 4B	119	0A	F0 0A
40	4C	F0 4C	120	01	F0 01
41	52	F0 52	121	09	F0 09
42	5D	F0 5D	122	78	F0 78
43	5A	F0 5A	123	07	F0 07
44	12	F0 12	125	7E	F0 7E
45(Reserved)	61	F0 61	131	67	F0 67
46	1A	F0 1A	132	64	F0 64
47	22	F0 22	133	13	F0 13
48	21	F0 21			

図　A-18. キーボード走査コード・セット2 (1 / 6)

残りのキーは、シフト・キー(Ctrl, Alt, Shift)やNum Lock (オンまたはオフ）の状況に応じて、異なる一連の走査コードをシステムに送ります。
基礎走査コードは他のキーと同じなので、基礎走査コードに付加コード(E0h)を追加して個別化しています。

Key No.	Base Case, or Shift+Num Lock Make/Break	Shift Case Make/Break	Num Lock on Make/Break
75	E0 70 /E0 F0 70	E0 F0 12 E0 70 /E0 F0 70 E0 12*	E0 12 E0 70 /E0 F0 70 E0 F0 12
76	E0 71 /E0 F0 71	E0 F0 12 E0 71 /E0 F0 71 E0 12*	E0 12 E0 71 /E0 F0 71 E0 F0 12
79	E0 6B /E0 F0 6B	E0 F0 12 E0 6B /E0 F0 6B E0 12*	E0 12 E0 6B /E0 F0 6B E0 F0 12
80	E0 6C /E0 F0 6C	E0 F0 12 E0 6C /E0 F0 6C E0 12*	E0 12 E0 6C /E0 F0 6C E0 F0 12
81	E0 69 /E0 F0 69	E0 F0 12 E0 69 /E0 F0 69 E0 12*	E0 12 E0 69 /EO F0 69 E0 F0 12
83	E0 75 /E0 F0 75	E0 F0 12 E0 75 /E0 F0 75 E0 12*	E0 12 E0 75 /E0 F0 75 E0 F0 12
84	E0 72 /E0 F0 72	E0 F0 12 E0 72 /E0 F0 72 E0 12*	E0 12 E0 72 /E0 F0 72 E0 F0 12
85	E0 7D /E0 F0 7D	E0 F0 12 E0 7D /E0 F0 7D E0 12*	E0 12 E0 7D /E0 F0 7D E0 F0 12
86	E0 7A /E0 F0 7A	E0 F0 12 E0 7A /E0 F0 7A E0 12*	E0 12 E0 7A /E0 F0 7A E0 F0 12
89	E0 74 /E0 F0 74	E0 F0 12 E0 74 /E0 F0 74 E0 12*	E0 12 E0 74 /E0 F0 74 E0 F0 12

* If the left Shift key is held down, the F0 12/12 shift break and make is sent with the other scan codes. If the right Shift key is held down, F0 59/59 is sent. If both Shift keys are down, both sets of codes are sent with the other scan code.

図 A-19. キーボード走査コード・セット2 (2 / 6)

Key No.	Scan Code Make/Break	Shift Case Make/Break
95	E0 4A/E0 F0 4A	E0 F0 12 E0 4A/E0 F0 4A E0 12*

* The left Shift key is held down, the F0 12/12 shift break and make is sent with the other scan codes. If the right Shift key is held down, F0 59/59 is sent. If both Shift keys are down, both sets of code are sent with the other scan code.

図 A-20. キーボード走査コード・セット2 (3 / 6)

Key No.	Scan Code Make/Break	Ctrl Case, Shift Case Make/Break	Alt Case Make/Break
124	E0 12 E0 7C /E0 F0 7C E0 F0 12	E0 7C/E0 F0 7C	84/F0 84

図　A-21. キーボード走査コード・セット2 (4 / 6)

Key No.	Make Code	Ctrl Key Pressed
126*	E1 14 77 E1 F0 14 F0 77	E0 7E E0 F0 7E

* This key is not typematic. All associated scan codes occur on the make of the key.

図　A-22. キーボード走査コード・セット2 (5 / 6)

	Make Code	Break Code
追加キー 1	E0 1F	E0 F0 1F
追加キー 2	E0 27	E0 F0 27
追加キー 3	E0 2F	E0 F0 2F

図　A-23. キーボード走査コード・セット2 (6 / 6)

A.1.5 走査コード・セット3

各キーには個別の8ビットのメーク走査コードが割り当てられ、キーが押されたときにシステムに送られます。
またキーが放されたとき、ブレーク・コード・プリフィッス(Breake code prefix F0)が付加されてシステムに送られます。
ブレーク・コードは2バイトで構成され、最初のバイトがブレーク・コード・プリフィックス(F0h)で、第2バイトがそのキーのメーク走査コードです。
タイパマティック走査コードは、そのキーのメーク走査コードです。

図A-24は、キーボードのシフト状態やシステムの状況に影響されない、各キーの走査コードを示します。

Key Number	Make Code	Break Code	Default Key State
1	0E	F0 0E	Typematic
2	16	F0 16	Typematic
3	1E	F0 1E	Typematic
4	26	F0 26	Typematic
5	25	F0 25	Typematic
6	2E	F0 2E	Typematic
7	36	F0 36	Typematic
8	3D	F0 3D	Typematic
9	3E	F0 3E	Typematic
10	46	F0 46	Typematic
11	45	F0 45	Typematic
12	4E	F0 4E	Typematic
13	55	F0 55	Typematic
14	5D	F0 5D	Typematic
15	66	F0 66	Typematic
16	0D	F0 0D	Typematic
17	15	F0 15	Typematic
18	1D	F0 1D	Typematic
19	24	F0 24	Typematic
20	2D	F0 2D	Typematic
21	2C	F0 2C	Typematic
22	35	F0 35	Typematic
23	3C	F0 3C	Typematic
24	43	F0 43	Typematic
25	44	F0 44	Typematic
26	4D	F0 4D	Typematic
27	54	F0 54	Typematic
28	5B	F0 5B	Typematic
29(Reserved)	5C	F0 5C	Typematic
30	14	F0 14	Make/Break
31	1C	F0 1C	Typematic
32	1B	F0 1B	Typematic
33	23	F0 23	Typematic
34	2B	F0 2B	Typematic
35	34	F0 34	Typematic
36	33	F0 33	Typematic
37	3B	F0 3B	Typematic
38	42	F0 42	Typematic
39	4B	F0 4B	Typematic
40	4C	F0 4C	Typematic
41	52	F0 52	Typematic
42	53	F0 53	Typematic

キーボード、キーボード配列と走査コード

Key Number	Make Code	Break Code	Default Key State
43	5A	F0 5A	Typematic
44	12	F0 12	Make/Break
45(Reserved)	13	F0 13	Typematic
46	1A	F0 1A	Typematic
47	22	F0 22	Typematic
48	21	F0 21	Typematic
49	2A	F0 2A	Typematic
50	32	F0 32	Typematic
51	31	F0 31	Typematic
52	3A	F0 3A	Typematic
53	41	F0 41	Typematic
54	49	F0 49	Typematic
55	4A	F0 4A	Typematic
56	51	F0 51	Typematic
57	59	F0 59	Make/Break
58	11	F0 11	Make/Break
60	19	F0 19	Make/Break
61	29	F0 29	Typematic
62	39	F0 39	Make only
64	58	F0 58	Make only
75	67	F0 67	Make only
76	64	F0 64	Typematic
79	61	F0 61	Typematic
80	6E	F0 6E	Make only
81	65	F0 65	Make only
83	63	F0 63	Typematic
84	60	F0 60	Typematic
85	6F	F0 6F	Make only
86	6D	F0 6D	Make only
89	6A	F0 6A	Typematic
90	76	F0 76	Make only
91	6C	F0 6C	Make only
92	6B	F0 6B	Make only
93	69	F0 69	Make only
95	77	F0 77	Make only
96	75	F0 75	Make only
97	73	F0 73	Make only
98	72	F0 72	Make only
99	70	F0 70	Make only
100	7E	F0 7E	Make only
101	7D	F0 7D	Make only
102	74	F0 74	Make only
103	7A	F0 7A	Make only
104	71	F0 71	Make only
105	84	F0 84	Make only
106	7C	F0 7C	Typematic
108	79	F0 79	Make only
110	08	F0 08	Make only
112	07	F0 07	Make only
113	0F	F0 0F	Make only
114	17	F0 17	Make only
115	1F	F0 1F	Make only
116	27	F0 27	Make only
117	2F	F0 2F	Make only
118	37	F0 37	Make only
119	3F	F0 3F	Make only
120	47	F0 47	Make only
121	4F	F0 4F	Make only
122	56	F0 56	Make only
123	5E	F0 5E	Make only

Key Number	Make Code	Break Code	Default Key State
124	57	F0 57	Make only
125	5F	F0 5F	Make only
126	62	F0 62	Make only
131	85	F0 85	Make only
132	86	F0 86	Make only
133	87	F0 87	Make only

図　A-24. キーボード走査コード・セット3 (1 / 2)

	Make Code	Break Code	Default Key State
追加キー 1	8B	F0 8B	Make only
追加キー 2	8C	F0 8C	Make only
追加キー 3	8D	F0 8D	Make only

図　A-25. キーボード走査コード・セット3 (2 / 2)

B.1.1 キーボードの配列図

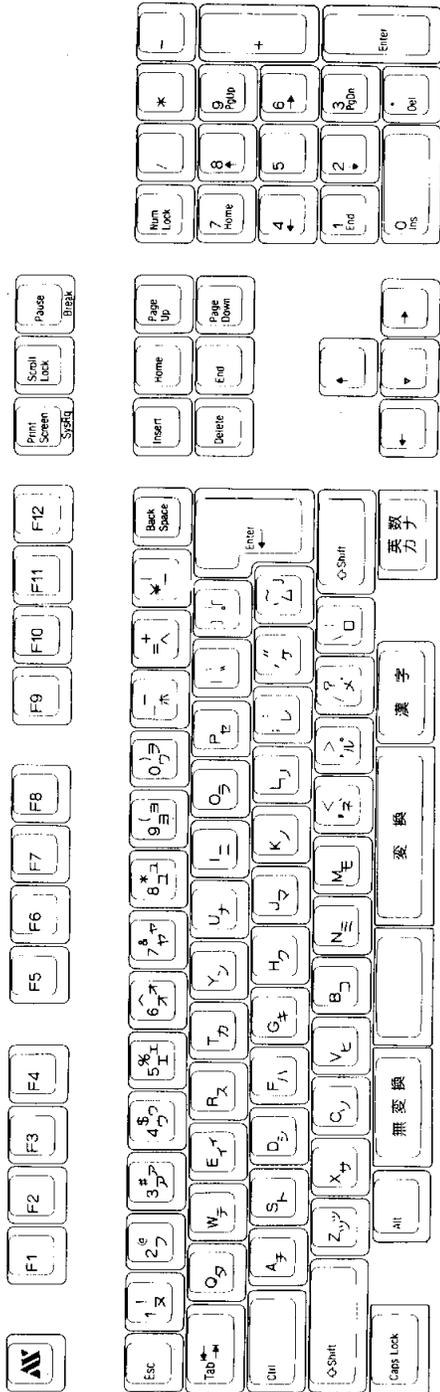



図　B-1. AXキーボードの刻印

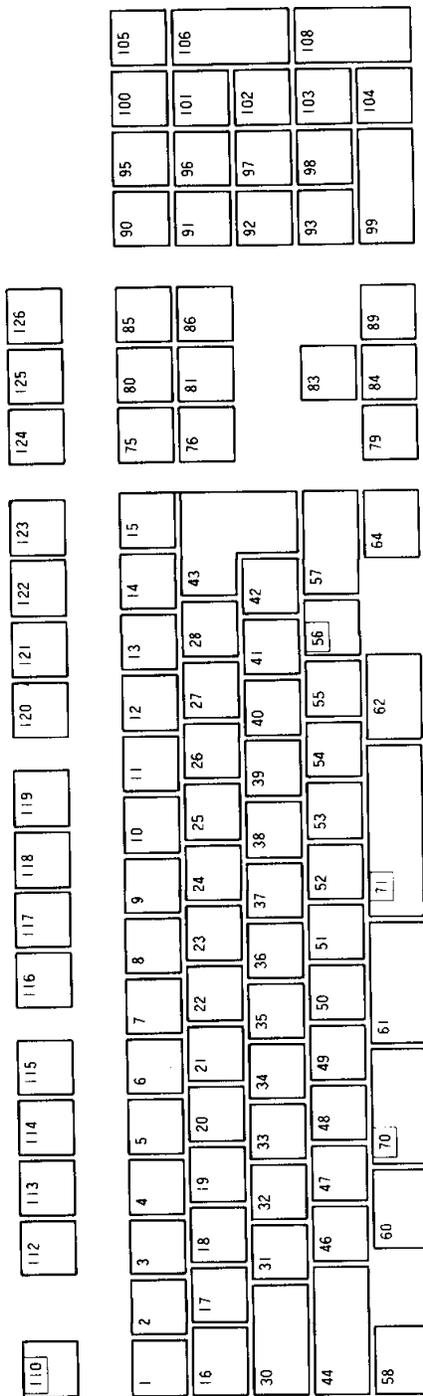



図　B-2. AXキーボードのキー番号

B.1.2 走査コード・セット

キー番号	キーボード・スキャン・コード		システム・スキャン・コード	
	Make-code	**Break-code**	**Make-code**	**Break-code**
1	76	F0-76	01	81
2	16	F0-16	02	82
3	1E	F0-1E	03	83
4	26	F0-26	04	84
5	25	F0-25	05	85
6	2E	F0-2E	06	86
7	36	F0-36	07	87
8	3D	F0-3D	08	88
9	3E	F0-3E	09	89
10	46	F0-46	0A	8A
11	45	F0-45	0B	8B
12	4E	F0-4E	0C	8C
13	55	F0-55	0D	8D
14	5D	F0-5D	2B	AB
15	66	F0-66	OE	8E
16	0D	F0-0D	0F	8F
17	15	F0-15	10	90
18	1D	F0-1D	11	91
19	24	F0-24	12	92
20	2D	F0-2D	13	93
21	2C	F0-2C	14	94
22	35	F0-35	15	95
23	3C	F0-3C	16	96
24	43	F0-43	17	97
25	44	F0-44	18	98
26	4D	F0-4D	19	99
27	54	F0-54	1A	9A
28	5B	F0-5B	1B	9B
29				
30	14	F0-14	1D	9D
31	1C	F0-1C	1E	9E
32	1B	F0-1B	1F	9F
33	23	F0-23	20	A0
34	2B	F0-2B	21	A1
35	34	F0-34	22	A2
36	33	F0-33	23	A3
37	3B	F0-3B	24	A4
38	42	F0-42	25	A5
39	4B	F0-4B	26	A6
40	4C	F0-4C	27	A7
41	52	F0-52	28	A8
42	0E	F0-0E	29	A9
43	5A	F0-5A	1C	9C
44	12	F0-12	2A	AA
45				
46	1A	F0-1A	2C	AC
47	22	F0-22	2D	AD

キー番号	キーボード・スキャン・コード		システム・スキャン・コード	
	Make-code	**Break-code**	**Make-code**	**Break-code**
48	21	F0-21	2E	AE
49	2A	F0-2A	2F	AF
50	32	F0-32	30	B0
51	31	F0-31	31	B1
52	3A	F0-3A	32	B2
53	41	F0-41	33	B3
54	49	F0-49	34	B4
55	4A	F0-4A	35	B5
56	61	F0-61	56	D6
57	59	F0-59	36	B6
58	58	F0-58	3A	BA
59				
60	11	F0-11	38	B8
61	29	F0-29	39	B9
62	E0-11	E0-F0-11	E0-38	E0-B8
63				
64	E0-14	E0-F0-14	E0-1D	E0-9D
65				
66				
67				
68				
69				
70	17	F0-17	5A	DA
71	1F	F0-1F	5B	DB
72				
73				
74				
75	E0-70	E0-F0-70	E0-52	E0-D2
	E0-F0-12-E0-70	E0-F0-70-E0-12 (Shift Case)	E0-AA-E0-52	E0-D2-E0-2A (Shift Case)
	E0-12-E0-70	E0-F0-70-E0-F0-12 (Num Lock ON)	E0-2A-E0-52	E0-D2-E0-AA (Num Lock ON)
76	E0-71	E0-F0-71	E0-53	E0-D3
	E0-F0-12-E0-71	E0-F0-71-E0-12 (Shift Case)	E0-AA-E0-53	E0-D3-E0-2A (Shift Case)
	E0-12-E0-71	E0-F0-71-E0-F0-12 (Num Lock ON)	E0-2A-E0-53	E0-D3-E0-AA (Num Lock ON)
77				
78				
79	E0-6B	E0-F0-6B	E0-4B	E0-CB
	E0-F0-12-E0-6B	E0-F0-6B-E0-12 (Shift Case)	E0-AA-E0-4B	E0-CB-E0-2A (Shift Case)
	E0-12-E0-6B	E0-F0-6B-E0-F0-12 (Num Lock ON)	E0-2A-E0-4B	E0-CB-E0-AA (Num Lock ON)
80	E0-6C	E0-F0-6C	E0-47	E0-C7
	E0-F0-12-E0-6C	E0-F0-6C-E0-12 (Shift Case)	E0-AA-E0-47	E0-C7-E0-2A (Shift Case)
	E0-12-E0-6C	E0-F0-6C-E0-F0-12 (Num Lock ON)	E0-2A-E0-47	E0-C7-E0-AA (Num Lock ON)
81	E0-69	E0-F0-69	E0-4F	E0-CF

キー番号	キーボード・スキャン・コード		システム・スキャン・コード	
	Make-code	**Break-code**	**Make-code**	**Break-code**
	E0-F0-12-E0-69	E0-F0-69-E0-12 (Shift Case)	E0-AA-E0-4F	F0-CF-E0-2A (Shift Case)
	E0-12-E0-69	E0-F0-69-E0-F0-12 (Num Lock ON)	E0-2A-E0-4F	E0-CF-E0-AA (Num Lock ON)
82				
83	E0-75	E0-F0-75	E0-48	E0-C8
	E0-F0-12-E0-75	E0-F0-75-E0-12 (Shift Case)	E0-AA-E0-48	E0-C8-E0-2A (Shift Case)
	E0-12-E0-75	E0-F0-75-E0-F0-12 (Num Lock Case)	E0-2A-E0-48	E0-C8-E0-AA (Num Lock ON)
84	E0-72	E0-F0-72	E0-50	E0-D0
	E0-F0-12-E0-72	E0-F0-72-E0-12 (Shift Case)	E0-AA-E0-50	E0-D0-E0-2A (Shift Case)
	E0-12-E0-72	E0-F0-72-E0-F0-12 (Num Lock ON)	E0-2A-E0-50	E0-D0-E0-AA (Num Lock ON)
85	E0-7D	E0-F0-7D	E0-49	E0-C9
	E0-F0-12-E0-7D	E0-F0-7D-E0-12 (Shift Case)	E0-AA-E0-49	E0-C9-E0-2A (Shift Case)
	E0-12-E0-7D	E0-F0-7D-E0-F0-12 (Num Lock ON)	E0-2A-E0-49	E0-C9-E0-AA (Num Lock ON)
86	E0-7A	E0-F0-7A	E0-51	E0-D1
	E0-F0-12-E0-7A	E0-F0-7A-E0-12 (Shift Case)	E0-AA-E0-51	E0-D1-E0-2A (Shift Case)
	E0-12-E0-7A	E0-F0-7A-E0-F0-12 (Num Lock ON)	E0-2A-E0-51	E0-D1-E0-AA (Num Lock ON)
87				
88				
89	E0-74	E0-F0-74	E0-4D	E0-CD
	E0-F0-12-E0-74	E0-F0-74-E0-12 (Shift Case)	E0-AA-E0-4D	E0-CD-E0-AA (Shift Case)
	E0-12-E0-74	E0-F0-74-E0-F0-12 (Num Lock ON)	E0-2A-E0-4D	E0-CD-E0-AA (Num Lock ON)
90	77	F0-77	45	C5
91	6C	F0-6C	47	C7
92	6B	F0-6B	4B	CB
93	69	F0-69	4F	CF
94				
95	E0-4A	E0-F0-4A	E0-35	E0-B5
	E0-F0-12-E0-4A	E0-F0-4A-E0-12 (Shift Case)	E0-AA-E0-35	E0-B5-E0-2A (Shift Case)
96	75	F0-75	48	C8
97	73	F0-73	4C	CC
98	72	F0-72	50	D0
99	70	F0-70	52	D2
100	7C	F0-7C	37	B7
101	7D	F0-7D	49	C9
102	74	F0-74	4D	CD
103	7A	F0-7A	51	D1
104	71	F0-71	53	D3
105	7B	F0-7B	4A	CA

キー番号	キーボード・スキャン・コード		システム・スキャン・コード	
	Make-code	**Break-code**	**Make-code**	**Break-code**
106	79	F0-79	4E	CE
107				
108	E0-5A	E0-F0-5A	E0-1C	E0-9C
109				
110	27	F0-27	5C	DC
111				
112	05	F0-05	3B	BB
113	06	F0-06	3C	BC
114	04	F0-04	3D	BD
115	0C	F0-0C	3E	BE
116	03	F0-03	3F	BF
117	0B	F0-0B	40	C0
118	83	F0-83	41	C1
119	0A	F0-0A	42	C2
120	01	F0-01	43	C3
121	09	F0-09	44	C4
122	78	F0-78	57	D7
123	07	F0-07	58	D8
124	E0-12-E0-7C	E0-F0-7C-E0-F0-12	E0-2A-E0-37	E0-B7-E0-AA
	E0-7C	E0-F0-7C (CTRL or SHIFT Case)	E0-37	E0-B7 (CTRL or SHIFT Case)
	84	F0-84 (ALT Case)	54	D4 (ALT Case)
125	7E	F0-7E	46	C6
126	E1-14-77-E1-F0-14-F0-77	_____	E1-1D-45-E1-9D-C5	_____
	E0-7E-E0-F0-7E	_____ (CTRL Pressed)	E0-46-E0-C6	_____ (CTRL Pressed)

図　B-3. キーボード走査コード・セット

（例）　キーNo. = 75のキーボード・スキャン・コード

	左シフト時	**右シフト時**
Make	E0-F0-12-E0-70	E0-F0-59-E0-70
Break	E0-F0-70-E0-12	E0-F0-70-E0-59

なお、左右同時シフト時は、次のようになります。

Make　E0-F0-12-E0-F0-59-E0-70
Break　E0-F0-70-E0-59-E0-12

システム・スキャン・コード

キーボード本体から発生したキーボード・スキャン・コードが、コントローラーによりこのシステム・スキャン・コードに変換されます。

注: AXキーボードはラップトップ型のキーボードも定義されています。配列等、詳細はAXテクニカル・リファレンス・ガイド-1989.-(AX協議会編)を参照してください。

付録C.   J-3100キーボード

C.1.1 キーボード配列図

図　C-1. J-3100キーボードの配列

C.1.2 走査コード・セット

KEY #	KEYTOP	SCAN CODE	
		Make	Break
1	Esc	01	81
2	1!ぬ	02	82
3	2@ふ	03	83
4	3#あぁ	04	84
5	4$うぅ	05	85
6	5%えぇ	06	86
7	6^おぉ	07	87
8	7&やゃ	08	88
9	8*ゆゅ	09	89
10	9(よょ	0A	8A
11	0)わを	0B	8B
12	-_ほ	0C	8C
13	=+へ	0D	8D
14	¥|-	2B	AB
15	←	0E	8E
16		0F	8F
17	Qた	10	90
18	Wて	11	91
19	Eいぃ	12	92
20	Rす	13	93
21	Tか	14	94
22	Yん	15	95
23	Uな	16	96
24	Iに	17	97
25	Oら	18	98
26	Pせ	19	99
27	[{'	1A	9A
28	]}`「	1B	9B
30	Ctrl	1D	9D
31	Aち	1E	9E
32	Sと	1F	9F
33	Dし	20	A0
34	Fは	21	A1
35	Gき	22	A2
36	Hく	23	A3
37	Jま	24	A4
38	Kの	25	A5
39	Lり	26	A6
40	;:れ	27	A7
41	'"け	28	A8
42	'¯む」	29	A9
43	Enter	1C	9C
44	Shift(左)	2A	AA
46	Zつっ	2C	AC
47	Xさ	2D	AD
48	Cそ	2E	AE
49	Vひ	2F	AF
50	Bこ	30	B0
51	Nみ	31	B1
52	Mも	32	B2
53	,<ね、	33	B3
54	.>る。	34	B4
55	/?め・	35	B5
56	¥|ろ	56	D6
57	Shift(右)	36	B6
58	Caps Lock	3A	BA
60	Alt	38	B8
61	Space	39	B9
62	漢字	E0-38	E0-B8
64	カナ	E0-1D	E0-9D
75	Insert	E0-52	E0-D2
(S)		E0-AA-E0-52	E0-D2-E0-2A
(N)		E0-2A-E0-52	E0-D2-E0-AA
76	Delete	E0-53	E0-D3
(S)		E0-AA-E0-53	E0-D3-E0-2A
(N)		E0-2A-E0-53	E0-D3-E0-AA
79	←	E0-4B	E0-CB
(S)		E0-AA-E0-4B	E0-CB-E0-2A
(N)		E0-2A-E0-4B	E0-CB-E0-AA
80	Home	E0-47	E0-C7
(S)		E0-AA-E0-47	E0-C7-E0-2A
(N)		E0-2A-E0-47	E0-C7-E0-AA
81	End	E0-4F	E0-CF
(S)		E0-AA-E0-4F	E0-CF-E0-2A
(N)		E0-2A-E0-4F	E0-CF-E0-AA
83	↑	E0-48	E0-C8
(S)		E0-AA-E0-48	E0-C8-E0-2A
(N)		E0-2A-E0-48	E0-C8-E0-AA
84	↓	E0-50	E0-D0
(S)		E0-AA-E0-50	E0-D0-E0-2A
(N)		E0-2A-E0-50	E0-D0-E0-AA
85	Page Up	E0-49	E0-C9
(S)		E0-AA-E0-49	E0-C9-E0-2A
(N)		E0-2A-E0-49	E0-C9-E0-AA
86	Page Down	E0-51	E0-D1
(S)		E0-AA-E0-51	E0-D1-E0-2A
(N)		E0-2A-E0-51	E0-D1-E0-AA
89	→	E0-4D	E0-CD
(S)		E0-AA-E0-4D	E0-CD-E0-2A
(N)		E0-2A-E0-4D	E0-CD-E0-AA
90	Num Lock	45	C5
91	7 Home	47	C7
92	4 ←	4B	CB
93	1 End	4F	CF
95	/	E0-35	E0-B5
(S)		E0-AA-E0-35	E0-B5-E0-2A
96	8 ↑	48	C8
97	5	4C	CC
98	2 ↓	50	D0
99	0 Ins	52	D2
100	*	37	7
101	9 PgUp	49	C9
102	6 →	4D	CD
103	3 PgDn	51	D1
104	. Del	53	D3
105	–	4A	CA
106	+	4E	CE
108	Enter	E0-1C	E0-9C
110	無刻印	5C	DC
112	F1	3B	BB

KEY #	KEYTOP	SCAN CODE	
		Make	Break
113	F2	3C	BC
114	F3	3D	BD
115	F4	3E	BE
116	F5	3F	BF
117	F6	40	C0
118	F7	41	C1
119	F8	42	C2
120	F9	43	C3
121	F10	44	C4
122	F11	57	D7
123	F12	58	D8
124	Print Screen	E0-2A-E0-37	E0-B7-E0-AA
(C/S)	Ctrl+Print Screen	E0-37	E0-B7
(A)	SysRq	54	D4
125	Scroll Lock	46	C6
126	Pause	E1-1D-45	E1-9D-C5
(C)	Break	E0-46	E0-C6

図　C-2. キーボード走査コード・セット

付録D. OADG推奨 I/O拡張カード・サイズ

図 D-1. OADG推奨 I/O拡張カード・サイズ